

\*NOTICES \*

# BEST AVAILABLE COPY

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## Bibliography

---

(19) [Publication country] Japan Patent Office (JP)  
(12) [Kind of official gazette] Open patent official report (A)  
(11) [Publication No.] JP,8-204128,A  
(43) [Date of Publication] August 9, Heisei 8 (1996)  
(54) [Title of the Invention] Multifunction LSI equipment, its functional change-over approach, and a data-processing system  
(51) [International Patent Classification (6th Edition)]

H01L 27/04  
21/822  
G06F 15/78 510 E  
H01L 21/82

[FI]

H01L 27/04 M  
21/82 B

[Request for Examination] Un-asking.  
[The number of claims] 9  
[Mode of Application] OL  
[Number of Pages] 15  
(21) [Application number] Japanese Patent Application No. 7-7047  
(22) [Filing date] January 20, Heisei 7 (1995)  
(71) [Applicant]  
[Identification Number] 000005108  
[Name] Hitachi, Ltd.  
[Address] 4-6, Kanda Surugadai, Chiyoda-ku, Tokyo  
(72) [Inventor(s)]  
[Name] Kameya Masatsugu  
[Address] 502, Kandatsumachi, Tsuchiura-shi, Ibaraki-ken Inside of Hitachi Mechanical Engineering Laboratory  
(72) [Inventor(s)]  
[Name] Miyake Norihisa  
[Address] 502, Kandatsumachi, Tsuchiura-shi, Ibaraki-ken Inside of Hitachi Mechanical Engineering Laboratory  
(72) [Inventor(s)]  
[Name] Hashimoto Shigeo  
[Address] 5-2-1, Omika-cho, Hitachi-shi, Ibaraki-ken Inside of the Hitachi, Ltd. size Mika works  
(74) [Attorney]  
[Patent Attorney]  
[Name] Takasaki \*\*\*\*

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

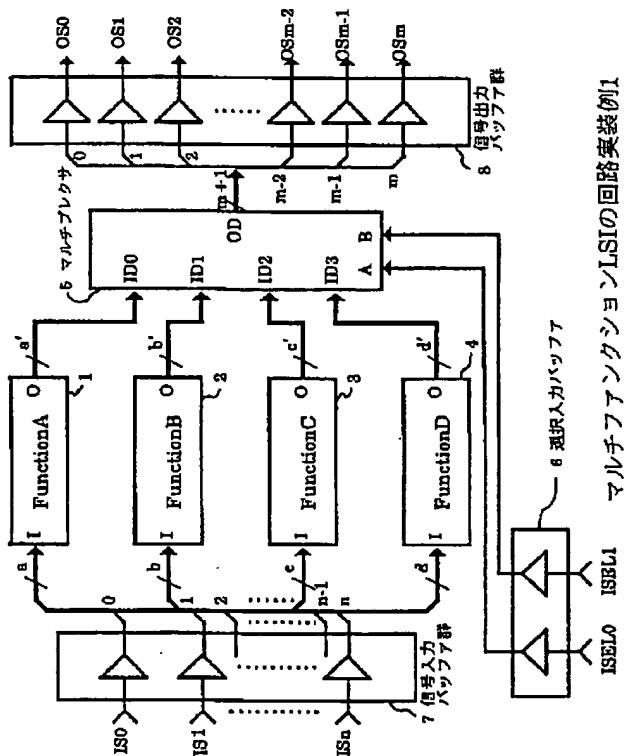
(57) [Abstract]

[Objects of the Invention] A pin neck is canceled and multifunction LSI equipment excellent in mass-production nature is realized.

[Elements of the Invention] The input of functional circuits 1-4 shares Pins IS0-ISn, and an output is connected with Pins OS0-OSm through the multiplexer 5 controlled by the selection signal from the selection-signal pins ISEL0 and ISEL1.

[Effect] By choosing one functional circuit by the multiplexer, both I/O pins can be shared in each functional circuit, and a pin neck does not produce them. Since it can use being able to choose one of the arbitration of two or more set ability as coincidence, the amount of the same chip used increases and volume efficiency becomes large.

[Translation done.]



[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Multifunction LSI equipment characterized by having a change-over circuit for connecting either the input edge of two or more pins for external connection, two or more functional circuits, the selection-signal input circuit for inputting the selection signal which chooses this functional circuit, and the functional circuit chosen by the above-mentioned selection signal or an outgoing end both sides, and some above-mentioned pins.

[Claim 2] Said change-over circuit is multifunction LSI equipment according to claim 1 characterized by being the circuit which connects to said some of pins the outgoing end of the functional circuit chosen by said selection signal, and connecting with the input edge of all functional circuits as a common pin for an input, and other parts of the above-

mentioned pin changing.

[Claim 3] Said change-over circuit is multifunction LSI equipment according to claim 1 with which it connects with said some of pins, and the direction of signal transduction is bidirectionally characterized by being a switchable bidirectional buffer group.

[Claim 4] Said functional circuit is multifunction LSI equipment according to claim 3 characterized by being the demultiplexer circuit which changes a high-speed serial signal into a low-speed parallel signal, and the multiplexer circuit which performs the inverse transformation.

[Claim 5] The data-processing system constituted using multifunction one LSI of one publication among claims 1-4.

[Claim 6] The data-processing system characterized by having the multifunction LSI equipment according to claim 4 for changing a high-speed serial signal into a low-speed parallel signal, the LSI equipment for data processing for performing data processing by considering the above-mentioned low-speed parallel signal as an input, and multifunction LSI equipment according to claim 4 for changing into a high-speed serial signal the low-speed parallel signal outputted from this LSI equipment for data processing.

[Claim 7] The functional change-over approach of the multifunction LSI equipment characterized by to perform a functional change by switching so that one side or the both sides of the input edge of the selected functional circuit and an outgoing end may be connected to some pins for external connection of the LSI equipment concerned in the functional change-over approach of the multifunction LSI equipment which carries two or more functional circuits, and chooses and uses one of them.

[Claim 8] The input edge of each of said functional circuit is the functional change approach of the multifunction LSI equipment according to claim 7 which uses said some of pins as the pin for a common input, and is characterized by performing a functional change by connecting only the outgoing end of said selected functional circuit through other parts and multiplexers of the above-mentioned pin.

[Claim 9] The functional change-over approach of the multifunction LSI equipment according to claim 7 characterized by performing a functional change by connecting a part or all of the input edge of said selected functional circuit, and an outgoing end to said some of pins through the bidirectional buffer group which the direction of signal transduction can switch bidirectionally.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to multifunction LSI equipment, its functional change approach, and the data-processing system that used the LSI equipment.

[0002]

[Description of the Prior Art] Drawing 2 shows the functional distribution structure in a common electronic-circuitry system. since it becomes the functional configuration fundamentally hierarchized by any systems, so that it results in the lower level of hierarchization — functional distribution — progressing — association between functional circuits — rough — it goes that it is \*\*\*\*. Instead, the number of the functional I/O signals for offering the dedication-function to the exterior tends to increase. For example, in drawing 2, an I/O channel, a common I/O driver or an interface, and an external circuit E are [ the device and external circuit C where the signal / bus interface circuit which links an external circuit A with the CPU section or CPU directly, and the external circuit B were directly managed by CPU ] equivalent to a system bus, a common-bus interface circuitry, etc., when the intelligent system which has CPU is taken for an example for a memory system, a system I/O circuit, and an external circuit D. In the case of such a system, the functional circuit 302 serves as a functional assignment which a memory controller or an input/output controller, and functional circuits 303 and 304 call an I/O channel controller or a share I/O-bus controller, and a functional circuit 305 calls a system bus or a common-bus controller. The common-circuit section 301 is the part which unifies and generates the signal from each functional circuit fed back to generation of the signal which carries out the monitor of the actuation of CPU and uses it in common in each functional circuit, and actuation of CPU, and manage the bus state and the bus cycle of CPU, or the monitoring of it carries out, and it is equivalent to the machine state controller (MSC) which generates a fundamental reference signal and a fundamental clock, the clock generator (CLKGT) which generates various system clocks and the various clocks for each functional circuits.

[0003] When LSI-izing conventionally the circuit system shown in drawing 2, functional circuits 302-305 and a common circuit 301 are designed as 4-5 LSI (four cases build the common circuit section in each LSI) of a different kind,

respectively, or the whole system of drawing 3 is accumulated as one large-scale LSI.

[0004]

[Problem(s) to be Solved by the Invention] In the above-mentioned Prior art, when building an electronic substrate and a system and LSI-ization was performed for every required functional circuit, the class of LSI increased and there was a problem that LSI-ization could not be attained by low cost only to the application in which remarkable mass production is possible. Moreover, two or more function modes are built into LSI of one chip, and although it may constitute so that one may be chosen from two or more modes of that function, the fundamental function of an I/O pin is being fixed to one even in this case. And even if it is used for other circuit blocks on an electronic substrate with one kind of connection type beforehand defined for every functional block, connecting and some variations by the difference in local connection occur, only one kind of operation or the mounting approach is allowed fundamentally, and the problem of low-cost-izing cannot necessarily be solved in the application of a short run die.

[0005] When a approach (system-on-chip) which accumulates two or more functions (system) which relate to the large-scale 1 chip LSI on the other hand is taken, together with the fall of the yield and design cost rise accompanying large-scale-izing, the problem of the pin neck explained in full detail below arises. Drawing 3 shows an example of a process rise of LSI (CMOS gate array). The die size in the case of both (magnitude of the circuit accumulation part of LSI) assumes that it is the same (about 2.5mmx 2.5mm), and supposes that the process rise was performed to 1-micrometer process rule of this drawing (b) from 2-micrometer process rule of this drawing (a). The improvement ratio in a process which is a ratio of detailed-izing of this wiring Ruhr is 2 in this case. By this, the transistor count is improving by 4 times. That is, an equivalent for about 260 transistors is accumulated also for the thing [ any ] case on the area for one mass on a die by the about 64 gates and the CMOS process, and when it is 2-micrometer Ruhr, in the case of 16 masses and 1-micrometer Ruhr, it is a transistor count for 64 masses. However, the number of signal pads for taking out the functional pin for external I/O serves as 60 pads in 1-micrometer Ruhr of 44 pads and drawing 3 (b) in 2-micrometer Ruhr of drawing 3 (a), and has increased only about about 1.4 times. It is because signal putt is arranged at a line, so that rate of increase is proportional to the improvement ratio in a process mostly to that rate of increase being proportional to the 2nd [ about ] power of the improvement ratio in a process since the 1st transistor of this reason is arranged superficially. since a current (instantaneous carrying current) capacity required for that it is still smaller as the 2nd reason than the improvement ratio 2 in a process to drive the load (mainly capacitive load) connected outside becomes [ the slew rate of a signal ] high with improvement in the speed of a switching characteristic — an EQC — or it is because it is in the inclination which becomes larger and signal pad size cannot be made so small from the limitation of the current density of a pad.

[0006] However, when accumulating a random logic, increasing in proportion [ almost ] to a transistor count is known experientially, and imbalance will produce the needed number of pins between a transistor count and the number of external I/O pins in this way. This means that the numbers of I/O pins run short sharply in a random logic subject's circuit, unless a memory circuit etc. is accumulated in large quantities. That is, in order to secure many functional pins, it will be necessary to use the thing of a quite big chip size (die size) compared with the circuit scale accumulated on LSI, and increase of development costs and the fall of the yield are caused also from this field. That is, LSI-izing by the low production system has high possibility of causing a cost rise conversely.

[0007] Four functional circuits (Function) which need the external I/O signal of 40 – 50 pin extent for this for example, on a scale of the 1000 gates are prepared, and it sees about the case where the CMOS gate array of a 4000 gate scale is piled up. If it is going to accumulate this on one chip as usual, in order to secure the number of signal pads of 160 needed pins – 200 pin extent, it will become far bigger than the die size which the thing of the big die size of a 10000 gate scale is needed by the CMOS gate array which used the process of 1-micrometer Ruhr, and is decided by the required gate number.

[0008] The purpose of this invention is to offer the multifunction LSI equipment can secure sufficiently many numbers of external I/O pins of LSI, and it was made for a pin neck not to produce, its functional change-over approach, and the data-processing system using this multifunction LSI equipment, holding down low the development costs of LSI, and the manufacturing cost at the time of mass production.

[0009]

[Means for Solving the Problem] The multifunction LSI equipment characterized by equipping this invention with the change-over circuit for connecting either the input edge of two or more pins for external connection, two or more functional circuits, the selection-signal input circuit for inputting the selection signal which chooses this functional circuit, and the functional circuit chosen by the above-mentioned selection signal or an outgoing end both sides, and some above-mentioned pins is indicated.

[0010] Furthermore, the above-mentioned change-over circuit is a circuit which connects to some above-mentioned pins the outgoing end of the functional circuit chosen by the above-mentioned selection signal, and this invention indicates the multifunction LSI equipment characterized by connecting with the input edge of all functional circuits as a common pin for an input, and other parts of the above-mentioned pin changing.

[0011] Furthermore, the above-mentioned change-over circuit is connected to some above-mentioned pins, and, as for this invention, the direction of signal transduction indicates bidirectionally the multifunction LSI equipment characterized by being a switchable bidirectional buffer group.

[0012] Furthermore, this invention indicates the data-processing system constituted using above multifunction LSI equipment.

[0013]

[Function] Since an I/O pin is sharable by using a change-over circuit with two or more functional circuits, a pin neck is cancelable, and since there may be few pins, package cost is also lowered. Moreover, although development costs hardly change as the case of a chip with each function, and an amount of circuit designs that what is necessary is just to manufacture 1 \*\*\*\*\* of LSI which built in the required function, since which of two or more set ability can be used for

them, they can secure very high mass-production nature, and can hold down the cost per one chip low while they can hold down initial manufacture costs very low. Therefore, a system price can be reduced if a data-processing system is constituted using this LSI equipment.

[0014]

[Example] Hereafter, an example explains this invention to a detail. Drawing 1 is the block diagram showing one example of the multifunction LSI equipment which becomes this invention, and is the gate array of four functional circuits (the 1000 gate scale, a total of 4000 gates scale by which each of Function 1-4 was produced by the CMOS process of 1-micrometer Ruhr). The input pins IS0-ISn are connected to the input terminal I of each functional circuits 1-4 through the signal input-buffer group 7, and the output terminal O of each functional circuits 1-4 is connected with the output pins OS0-OSm through the multiplexer 5 controlled by the selection input-buffer group 6, and the signal output-buffer group 8.

[0015] It is the selection signal (this signal is also hereafter expressed with having bundled with () the signals ISEL0 and ISEL1 given to the pin (ISEL0) etc. (ISEL1)) with which the multiplexer 5 was given to the selection pins ISEL0 and ISEL1 in this configuration. other pins — being the same — it switches whether it responds and the output of a functional circuit 1 – 4 throats is connected to the output pins OS0, OS1, —, OSm. That is, the signal generated from the selection signal (ISEL0, ISEL1) inputted from the outside is inputted into the selection input terminals A and B of a multiplexer 5, and the signal from each output terminal O of functional circuits 1-4 is inputted into input terminals ID0-ID3. And the output signal from the output terminal O of the functional circuit corresponding to a selection signal (ISEL0, ISEL1) is chosen, and it outputs to an output terminal OD.

[0016] On the other hand, the external input signal inputted from the input pins IS0-ISn is used in common as an input signal group which has the function defined corresponding to each functional circuits 1-4, respectively, namely, — although a circuit top is described like a common signal and it is arranged — each functional circuits 1-4 — respectively — coming out — it is recognized as a mutually different function (function suitable for each function), and is processed. Therefore, when a multiplexer 5 chooses the output signal which should be outputted to the exterior, it will be inevitably set to the function relevant to those functions, i.e., the function of the input signal corresponding to the selected functional circuit.

[0017] When \*\*\*\* pins were examined to this example, the conventional technique which connects with an I/O pin, without carrying the 4000 gates in one chip and using a multiplexer took more than 160 pin extent. However, only the signal pad of 60-70 was prepared in the die size which carries a 4000 gate scale. However, according to this example, that close and an output pin should just have the maximum number of the numbers of pins for which each of circuits 1-4 needs four functions, this is 40 – 50 pin extent in the gate array of a 1000 gate scale, as the conventional example explained. Therefore, if there is a signal pad of 60-70 securable by the die size which can be carried the 4000 gates, even if it will be enough and will add the pad for selection signals (ISEL0, ISEL1), it is fully realizable.

[0018] In this way, according to this example, since four functional circuits are collectively LSI-ized while canceling a pin neck, development costs fall. Moreover, since the volume of the part increases since it has that a large-sized die is unnecessary and two or more functions, and volume efficiency improves, low-pricing is possible. Furthermore, a package is also easy to be the thing of the standard level of the number of pins which is not, and can be stopped very low by package cost.

[0019] Drawing 4 is the block diagram showing another example of the multifunction LSI equipment which becomes this invention. In the example of drawing 1 , it needed to design so that a functional circuit the input-buffer group 7 and the output-buffer group 8 are immobilization, therefore both the number of input signal pins and the number of output signal pins are fixed, and that number of external I/O signals is almost the same for this reason might be incorporated with one chip. This example enables it to design multifunction LSI equipment by controlling by the selection signal using a bidirectional input output buffer, even if the numbers of I/O signals differ for every functional circuit, without receiving constraint of the physical number of input output buffers so much.

[0020] The multifunction LSI equipment shown in drawing 4 Five functional circuits 401-405 where functions differ (Function), The multiplexers 406-408 controlled by three inputs of the selection signal (ISEL2 [ ISEL0, ISEL1, and ]/IS) inputted through the selection input-buffer group 409, The signal input-output-buffer groups 411 and 413 in which it is similarly controlled by the three above-mentioned inputs, and each has m+1 piece and k+1 input/output terminal, When it consists of the signal input-buffer group 410 which has n+1 input terminal, and the signal output-buffer group 412 which has j+1 output terminal and sees from the outside, it is LSI which disguises itself as five kinds of LSI with one chip.

[0021] Hereafter, actuation of this example is explained. first — a selection signal (ISEL1, ISEL0) — (0, 0), and (0, 1) — or (1 0) — it is — corresponding to this order, functional circuits 401, 402, or 403 are chosen at the time. At this time, the signal (ISEL2/IS) is assigned as one of the input signals of functional circuits 401-403. Moreover, at the time of this condition, since AND gate 414 output is always "0", enable input E which activates the output buffer 4110 of the signal input-output-buffer group 411 is set to "0", an output buffer 4110 is fixed to a DIZEBURU condition, i.e., a high impedance output state, it is inputted through inverters 415 and 416 and they incorporate [ each functional circuits 401-403 regard the buffer group 411 as an input-buffer group, and ] the input signal from these to each input terminal I.

[0022] On the other hand, "1" will be impressed to enable signal E which activates the output buffer 4130 of the signal input-output-buffer group 413 under the same conditions, it will be in an active state, and it is considered that the buffer group 413 is an output-buffer group.

[0023] Moreover, by multiplexers 406 and 407, the input terminal ID 2 by which the input terminal ID 1 by which the input terminal ID 0 connected to the output of a functional circuit 401 at the time of (0, 0) was connected to the output of a functional circuit 402 at the time of (0, 1) was connected to the output of a functional circuit 403 at the time of (1, 0) is chosen corresponding to the value of a selection signal (ISEL1, ISEL0), respectively at this time. And the input signal group chosen as the output OD of each multiplexers 406 and 407 is outputted, multiplexer 406 output is outputted to the exterior through the input-output-buffer group 413, and the output of a multiplexer 407 continues and is further

outputted to the exterior through an output buffer 412 through a multiplexer 408. In addition, "0" is impressed to the selection input S of a multiplexer 408 at this time, and the output of a multiplexer 407 is always chosen the input terminal ID 0 side.

[0024] as mentioned above, a selection signal (ISEL1, ISEL0) — (0, 0), and (0, 1) — or (1 0) under conditions It can treat seen from the exterior as LSI which consists of a total of  $k+j+2$ , OIS0 — OIS $k$ , and OS0—OS $j$ , as an input signal pin as a total of  $m+n+3$ , IOS0 — IOS $m$ , IS0-IS $n$ , and ISEL2/IS, and an output signal pin.

[0025] Next, in drawing 4 , actuation in case selection signals (ISEL1, ISEL0) are (1, 1) is explained. By the case where it is the case where a selection signal (ISEL2/IS) is "0" at this time, and "1", the function of a signal input-output-buffer group is set up as follows, respectively.

[0026] (ISEL2/IS) In the case of = "0"

At this time, AND gate 414 output is the same as that of the case where a selection signal (ISEL1, ISEL0) is the combination of an except (1 1) since it is "0" almost, and an input pin, a pin OIS 0 — OIS $k$ , and OS0—OS $j$  serve as [ a pin IOS 0 — IOS $m$ , and IS0-IS $n$  ] an output pin. Since a signal (ISEL2/IS) functions as a selection signal, as an input signal, it cannot use in this case. It is outputted to the buffers 413 and 412 with which the input terminal ID 3 was chosen, the functional circuit 404 was chosen, and the functional signal was defined by multiplexers 406 and 407 as an output buffer. Therefore, it can be considered at this time that this LSI equipment is equivalent to what implemented only the functional circuit 404.

[0027] (ISEL2/IS) In the case of = "1"

this time — AND gate 414 output — "1" — becoming — an output buffer 4130 — being inactive (high impedance) — it becomes and the output buffer 4110 of the signal input output buffer 411 becomes active conversely. Therefore, as an input signal from the outside, a total of  $n+k+2$  of Pins IS0-IS $n$  and OIS0 — OIS $k$  will be assigned, and a total of  $j+m+2$  of Pins OS0—OS $j$  and IOS0 — IOS $m$  will be assigned as an output pin to the exterior. As a functional output signal, a multiplexer 408 chooses the output alumnus of the input terminal [ 405 ] ID 1, i.e., a functional circuit, and it outputs to Pins OS0—OS $j$ , and the output OA of a functional circuit 405 is outputted to a pin IOS 0 — IOS $m$  through the direct buffer 411. Therefore, it can be considered at this time that this LSI equipment is equivalent to what implemented only the functional circuit 405.

[0028] Thus, if a bidirectional input-output-buffer group is divided into some groups, an I/O function is set up using a selection signal and it uses combining the input of dedication, and an output-buffer group, it can opt for the number of I/O pins which is physically needed with a very high degree of freedom, or its physical arrangement. In addition, although here shows the case where a bidirectional input-output-buffer group is switched and used for an input, or an output, depending on a functional circuit, a bidirectional I/O signal group like a data bus may be treated, for example. In such a case, what is necessary is just to use a bidirectional function as it is by controlling dynamically output enable signal E of a bidirectional input-output-buffer group by the functional circuit actively/inactive to required timing.

[0029] Drawing 5 is the block diagram showing the more concrete example of this invention multifunction [ LSI ]. The multiplexer circuit 501 which changes into the data of 2-bit width of face the data of 8-bit width of face inputted to the timing carried out slowly, and is outputted to high-speed timing. Two functional circuits with the demultiplexer circuit 502 which has the function outputted to the timing which extended the data of 2-bit width of face inputted to high-speed timing to the data of 8-bit width of face, and carried out them slowly. It consists of the signal input-output-buffer groups 504 and 505, the signal output-buffer group 508, the signal buffer group 506, and the selection input buffer 507 for switching an I/O pin. It is multifunction LSI equipment which both functions can realize by one LSI by switching the function of multi-demulti with a selection signal (ISEL), and using. This actuation is explained below.

[0030] Drawing 6 is the timing diagram which shows actuation of the demultiplexer circuit 502, and is actuation when setting a selection signal (ISEL) to "1" by drawing 5 . Since it is selection-signal (ISEL) = "1" at this time, each output buffer in the signal input output buffer 504 becomes inactive, and all the output buffers in the signal input-output-buffer group 505 are active.

[0031] In this condition, if the signal IRES for deciding reset processing of the internal hardware of LSI and conversion initiation timing is set to active level "1", an input data train will begin to be inputted from pins IOS0 and IOS1 from the timing signal of the standup of the signal ICLK at that time (high-speed clock), and will be incorporated by a total of four clocks (four periods of Signal ICLK) from it. The sum total  $2 \times 4 = 8$  bit data for this signal ICLK4 period are changed into the data whose period of 8 bit parallel is 4 times the signal ICLK by the demultiplexer 502. Signal ISYNC has determined the timing which outputs the data changed by the demultiplexer 502 to the output pins OIS0—OIS7, and after it incorporates the last input data for 2 bits inside, it can shift output timing by moving the phase of Signal ISYNC to four timing of the standup after it of Signal ICLK synchronizing with Signal ICLK.

[0032] In drawing 6 , Signal IRES becomes active and the four a \*\* of data a, b, c, and d are incorporated from the pin IOS 1 from the time of day t0 when Signal ICLK started. And it is determined that the phase of an ISYNC signal outputs translation data from standup time-of-day t=t5 of the signal ICLK immediately after completing incorporation of the last data d. Therefore, the time of day t5 of drawing is timing to which data (a, b, c, d) are outputted by 8 bit parallel, and time of day t1 shows the output timing of the data (illustration abbreviation) incorporated before one from data (a, b, c, d).

Moreover, correspondence with data (a, b, c, d) and the data value outputted to the output pins OIS0 and OIS1 and — is [Equation 1]. a= (IOS00) (IOS10)

b= (IOS01) (IOS11)

c= (IOS02) (IOS12)

d= (IOS03) (IOS13)

It is [Equation 2] when it carries out. (OIS0)=(IOS00)

(OIS1)=(IOS10)

(OIS2)=(IOS01)

(OIS3)=(IOS11)

(OIS4)=(IOS02)  
(OIS5)=(IOS12)  
(OIS6)=(IOS03)  
(OIS7)=(IOS13)

It comes out. However (IOS0j), (IOS1j) is the bit value incorporated by the timing of time of day  $t_j$  from pins IOS0 and IOS1, respectively ( $j=0-3$ ). In this way, 8 bits of data inputted by 2 bit parallel are gathered at a time (extended conversion), and they are outputted as 8-bit rose rel data.

[0033] Drawing 7 is the timing diagram which shows actuation of the multiplexer circuit 501 of drawing 5, and is actuation when setting a selection signal (ISEL) to "0" by drawing 5. Since it is selection-signal (ISEL) = "0" at this time, each output buffer in the signal input output buffer 504 becomes active, and all the output buffers in the signal input-output-buffer group 505 are inactive. If the signal ISYNC which is the clock of the timing carried out slowly is set to "1" and the data x of 8-bit parallel are inputted from the exterior through OIS0-OIS7 to the timing  $t_{11}$  of the standup of the signal ICLK just behind that It changes into four 2-bit output data (a, b, c, d) from the timing  $t_{12}$  of the riser of the following signal ICLK continuously by four periods (with period of Signal ICLK), and outputs succeeding four pins IOS0 and IOS1. In this actuation, Signal IRES is assumed to be what realizes only the function which resets the internal circuitry of LSI, but the function in which the timing which begins to output the data changed into IOS0 and IOS1 by the input timing of Signal IRES like the case of a demultiplexer is determined may be given.

[0034] The input/output relation of the above-mentioned multiplexer actuation is as follows. The input signal and signal a-d from the input pins OIS0-OIS7 are [Equation 3] first. a= (OIS0) (OIS1)

b= (OIS2) (OIS3)  
c= (OIS4) (OIS5)  
d= (OIS6) (OIS7)

It is \*\*\*\*\*\*, and d is outputted to time of day  $t_{12}$  at a and time of day  $t_{13}$ , and is outputted to the output pins IOS0 and IOS1 at c and time of day  $t_{15}$  at b and time of day  $t_{14}$ , respectively.

[0035] In the example of drawing 5, it has opted for the function of LSI not using a multiplexer circuit by switching the I/O function of the bidirectional signal input-output-buffer groups 504 and 505 with a selection input signal (ISEL). This is because the multiplexer and the demultiplexer have the reverse function exactly, the number of input pins and the number of output pins only become reverse, and the number of pins of a total functional signal is made almost identically, so it is suitable to pile up multifunction one LSI together. Thus, if the functional circuit accumulated together is examined well, it turns out that it can build multifunction one LSI very efficiently and effectively. That is, even if it does not use the special circuit for the functional switch equivalent to the multiplexer circuit 5,406,407,408 in drawing 1 and drawing 4, it can be said that the example which showed that multifunction LSI equipment may be able to be constituted very efficiently is an example of drawing 5.

[0036] As application of the example of drawing 5, clock generation and LSI for control can be constituted, or by carrying out a demultiplexer, if further many functional circuits can be implemented, a calculation function circuit etc. can be implemented with a multiplexer circuit, and LSI for data processing can also be realized for the function of the common circuit (CLKGT) 503 in drawing 5 a multiplexer / by using a multi-demulti circuit for I/O, for example.

[0037] The example of drawing 8 explains the example of a system configuration using multifunction one LSI of such this invention. In this system, after amplifying with amplifier the analog signal first inputted from the input terminal 801, it changes into 2 bit  $x=8$  bit digital data by ADC (analog-digital converter)802 of a sampling mold, and a total of 4 sets of that data every 2 bits each are inputted into four demultiplexers (LSI-A) 803-806. Demultiplexers 803-806 perform the almost same actuation as the demultiplexer explained by drawing 5 and drawing 6, and change the 2-bit input into the data of 8 bit parallel. Each output of demultiplexers 803-806 is divided into 4 sets of outputs of every 2 bits, and each class of the output is inputted into four arithmetic circuits (LSI-B) 807-810 about every demultiplexer. Each 807 to arithmetic circuit 810 output also has 2 bit  $x 4$ -set composition, and it is inputted into the multiplexers (LSI-C) 811-814 this output of whose is four too. This multiplexer is almost the same as what was explained by drawing 5 and drawing 7. Finally, the serial data of the 2-bit width of face outputted from each multiplexers 811-814 is inputted into sampling type DAC (digital-to-analog converter)815, is changed into analog data, is amplified with amplifier, and is outputted to an analog output terminal 816.

[0038] Clock generation and a control circuit (LSI-D) 817 The system-reset signal for generating reset and the external reset output signal ORES of an internal circuitry for the high-speed system clock used as criteria to an ICK input is received in an IRES input. demultiplexers 803-806 — with reset-signal ORES through which it passes, respectively clock signal OCKADC to ADC802, and demultiplexers 803-806 — clock signal OCKA 0-3 through which it passes, respectively, and arithmetic circuits 807-810 — with the clock signals OCKB0-OCKB3 through which it passes, respectively multiplexers 811-814 — clock signal OCKC0— through which it passes, respectively — clock signal OCKDAC of OCKC3 and DAC815 is generated.

[0039] Although demultiplexers 803-806 and multiplexers 811-814 are almost the same as multifunction LSI shown in drawing 5 as mentioned above Demultiplexers 803-806 carry out differing based on the inputted high-speed reference clock signals OCKA0-OCKA3 (ICK and equivalence in drawing 5). The low speed clocks 0-OSY [ OSY and ] 3 for a synchronization which have one 4 times the period of this are generated. It is having taken the method of inputting Clock OSY into the input terminal ISY of arithmetic circuits 807-810, and inputting clocks OSY0-OSY3 into the input terminal ISY with which multiplexers' 811-814 correspond. Moreover, a multiplexer does not need reset input, either but makes the synchronous-clock ISY input and the 4 times as many standard-of-frequency clocks OCKC0-OCKC3 as this from a demultiplexer the simple structure acquired from clock generation and a control circuit 817. However, there are not a multiplexer / demultiplexer ability multifunction [ LSI ] shown in drawing 5, and an essential difference. Namely, what is necessary is to set the selection signal (ISEL) as "1" (pull-up PU), to consider as demultiplexers 803-806, to set a selection signal (ISEL) as "0" (pulldown PD), and just to consider as multiplexers 811-814 as multiplexers 803-806 and

demultiplexers 811-814, using LSI shown in drawing 5. As a data conversion feature, it is almost equivalent to drawing 6 and the thing shown in 7. In this way, by changing the analog data inputted into a high speed in the whole system shown in drawing 8 into the digital data slowly carried out by the demultiplexer of the preceding paragraph, the time amount which data processing takes was secured, to the data, required data processing (filtering, complicated data conversion, etc.) was added in the central arithmetic circuit, and the function which changes the output into again high-speed analog data by the latter multiplexer, and outputs it is realized.

[0040] In addition, in the example shown in drawing 8, although only demultiplexers 803-806 and multiplexers 811-814 were explained as an object multifunction [ LSI ], if accumulation of more functional circuits is possible as mentioned above, it can also manufacture multifunction one LSI of the form which also accumulated both the functions of clock generation and a control circuit 817, or arithmetic circuits 807-810 on one chip by adding the multiplexer circuit which changes a function to a selection signal. In this case, since the number of I/O pins of arithmetic circuits 807-810 increases more than the number of I/O pins of demultiplexers 803-806 and multiplexers 811-814, if the total of a pin is doubled with a demultiplexer or a multiplexer, it is necessary to reduce the I / O data number of bits to an arithmetic circuit. for this reason -- being alike -- for example, the bit slice of the I / O data which consists of 8 bits of present condition 2bitx4 is carried out to 4 bit data of 1 bit x4 (that number of part LSI increases). Conversely, it is very effective if it doubles with the number of pins of an arithmetic circuit, and the configuration which enlarges data width of face after demultiplexing in a demultiplexer and a multiplexer and in front of a multiplexer (for example, 16 bits), and increases the number of arithmetic circuits (for example, it is made 8LSI) is taken. In addition, it can be said that it is easy to accumulate it together with other functional circuits, such as a demultiplexer and an arithmetic circuit, as multifunction LSI since control of the physical number of pins at the time of a design is easy and there are many outputs on the character in which clock generation and a control circuit 817 generate two or more signals of a function of the same kind. Moreover, as mentioned above, if the physical control at the time of the design of the number of input pins and the number of output pins prepares a bidirectional input-output-buffer group and it enables it to set up the condition of I/O finely, it is easily possible.

[0041] Drawing 9 is the modification of the system of drawing 8, and is premised on treating the ultra high-speed analog I/O signal of 500MHz - 1GHz (it is expressed as 500 MHz+alpha) extent on the level of the sampling cycle of ADCs 903 and 904 and DAC940. However, the cycle steal is used for ADCs 903 and 904, in order to secure sufficient sample hold time amount and to sample certainly the ultra high-speed analog input data (it is a sampling important point at 500 MHz+alpha) inputted from the analog input terminal 902 by ADCs 903 and 904. That is, by distributing analog input data to ADC903 and ADC904 by turns, it constitutes so that what is necessary may be just to sample by 250 MHz+beta per each ADC. In order to perform this cycle steal, the reference clock for the sampling of 250 MHz+beta reversed mutually is supplied to ADC903 and ADC904 from LSI (CLKGT-A)905 for clock generation. Moreover, if the method which divides into two blocks in this way, and samples each by 250MHz+beta is taken, since the sampling rate of ADC can be dropped respectively. The switching noise at the time of the switching noise and output buffer inside ADC driving an external load can be reduced. Since the definite time amount of that a stable analog to digital becomes possible and the digital data outputted is also securable for a long time, Also in the data latch actuation to the demultiplexers 906-LSI 913 of the next step, allowances are born to the setup time, and positive digital data processing becomes possible henceforth.

[0042] In this example, the conversion function (in the example of drawing 5 and drawing 8, it was 1:4) of 1:8 is given to demultiplexers 906-LSI 913. That is, the data of 2 bit x1 were inputted and it has changed into the data of 2 bit x8. The synchronous clock (SYNC) and reference clock which are needed by this demulti PUKUSA 906-LSI 913 are supplied from LSI905 for clock generation. Moreover, demulti PUKUSA 906-LSI 913 is also generating the reference clock to LSI 914-929 for data processing of the next step. Since the sampling frequency of 250 MHz+beta becomes equivalent to having been changed into 1/8 by demultiplexers 903-LSI 913, the criteria lock frequency to this LSI 914-929 for an operation serves as 32 MHz+gamma.

[0043] Using the thing of 8:1, the latter multiplexers 930-LSI 933, and 935-938 perform transform processing exactly opposite to Demultiplexer LSI, and they change the data sent in from data processing 914-LSI 929 with the sampling frequency of 32 MHz+gamma into the data which change by 250 MHz+beta. And using the multiplexer LSI 939 of 2:1 of the last stage, a total of 16 bits of every 8 bits data from two blocks separated with the cycle steal is changed into the 8-bit data which change by 500 MHz+alpha, and they are outputted to DAC940. DAC940 changes the 8-bit digital input data into analog data, and outputs it to an output terminal 941. In addition, LSI (CLKGT-B)934 for clock generation performs supply of the reference clock to each demultiplexer and a multiplexer, or the clock (SYNC) for a synchronization. Moreover, in this example, LSI (CLKGT-A)905 for clock generation is performing supply of the reference clock to CLKGT-B934, and the clock (SYNC) for a synchronization.

[0044] In this example of the above configurations, in order to treat very high-speed analog data, possibility that it will be necessary to constitute from LSI (for example, LSI using GaAs or an ECL process) using LSI with other blocks high-speed one or more ranks or the manufacture process in which high-speed switching is possible except for the data-processing block by the data processing 914-LSI 929 which can operate to the timing (32 MHz+gamma) carried out comparatively slowly is high. Therefore, although LSI for these demultiplexers, a multiplexer, and block generation is incorporable as multifunction LSI, it cannot design so that the data processing LSI from which a working speed differs may be incorporated together as multifunction LSI. In addition, in this example, 16 data processing LSI will be used and will be constituted. Although the bit length of the I/O is the same as that of the example of drawing 8, as mentioned above, it is possible to low-speed-ize an operation period to 1/16 of the sampling frequency (500 MHz+alpha) of a original oscillator. However, since every LSI is almost the same, when the number of I/O pins can incorporate data processing 914-LSI 929 on the chip same as multifunction LSI as other LSI depending on the contents of data processing, it becomes more efficient.

[0045]

[Effect of the Invention] According to this invention, the effectiveness of that the number of I/O pins became a several

times as many functional circuit as this and equivalence is acquired, and a pin neck can be canceled. That what is necessary is just to manufacture 1 \*\*\*\*\* of LSI which accumulated the required function, development costs can hold down initial manufacture costs very low, although it hardly changes as an amount of circuit designs. Moreover, since LSI of an amount several times the functional circuit of this will be produced for the same chip at the time of mass production, very high mass-production nature is securable. For this reason, it becomes possible to attain LSI-ization enough also by the system which does not carry out little deer production. Moreover, a package is easy to be the thing of the standard level of the number of pins which is not, and effective in the ability to also hold down package cost very low.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of the multifunction LSI equipment in this invention.

[Drawing 2] It is the block diagram showing the general configuration within a local circuit block.

[Drawing 3] It is the related explanatory view of the scale of LSI (CMOS gate array) which can be circuit mounted, and the number of I/O pads.

[Drawing 4] It is the block diagram showing another example of the multifunction LSI equipment in this invention.

[Drawing 5] It is the block diagram showing one example of the multiplexer / demultiplexer LSI equipment in this invention.

[Drawing 6] It is the timing diagram of the demultiplexer actuation in the example of drawing 5 .

[Drawing 7] It is the timing diagram of the multiplexer actuation in the example of drawing 5 .

[Drawing 8] It is the block diagram showing the example of 1 configuration of the system using the multifunction LSI equipment in this invention.

[Drawing 9] It is the block diagram showing the modification of the system of drawing 8 .

[Description of Notations]

1-4 Functional circuit

5 Multiplexer

6 Selection Input-Buffer Group

401-405 Functional circuit

406-408 Multiplexer

409 Selection Input-Buffer Group

411 413 Signal input-output-buffer group

501 Multiplexer

502 Demultiplexer

504 505 Signal input-output-buffer group

507 Selection Input Buffer

803-806 Demultiplexer LSI

807-810 Arithmetic circuit LSI

811-814 Multiplexer LSI

---

[Translation done.]

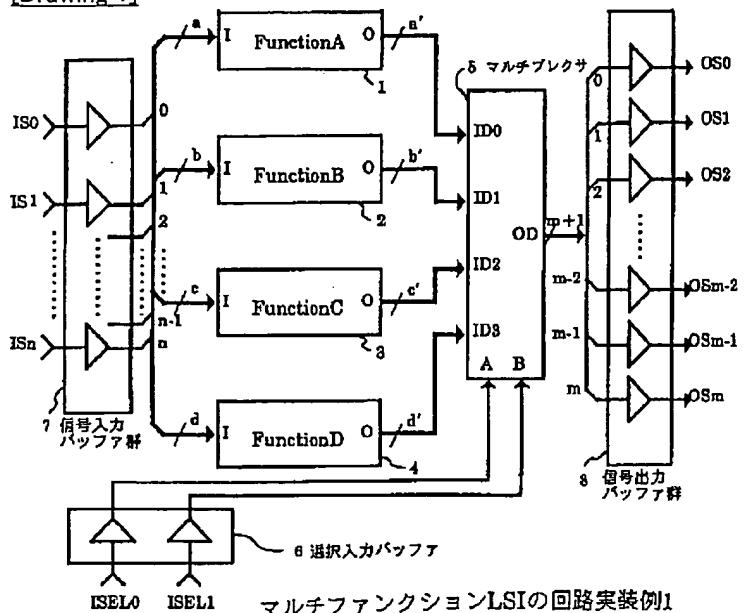
\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

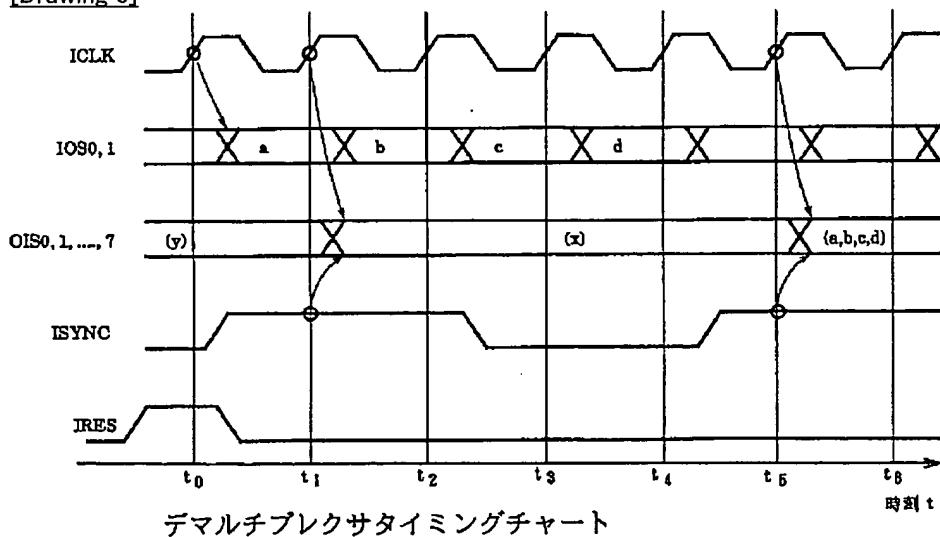
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

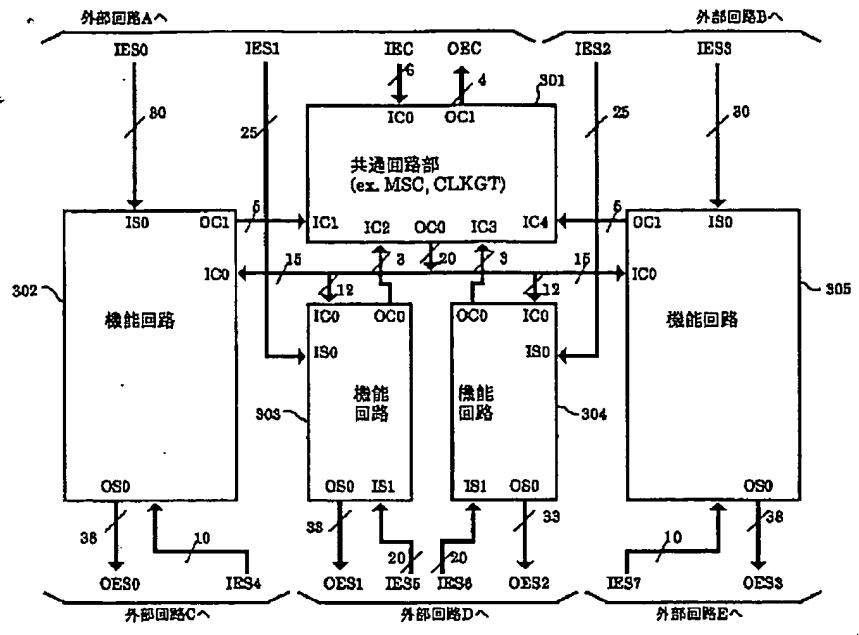
### [Drawing 1]



### [Drawing 6]



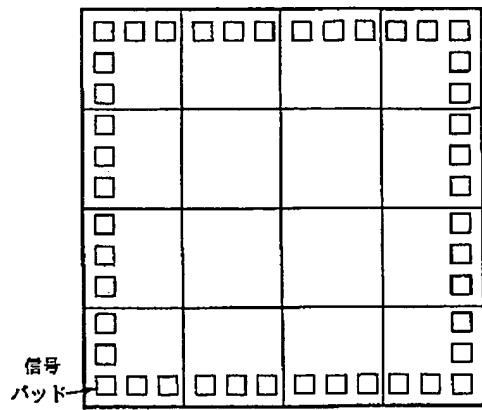
### [Drawing 2]



ローカル回路ブロック内の一般的な機能分化と構造

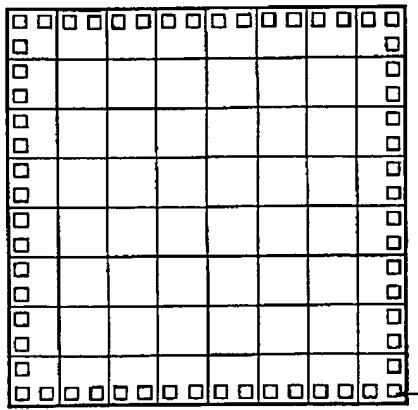
[Drawing 3]

2μmプロセスのCMOSゲートアレイ  
(約1000ゲート、44パッド)



(a) プロセスアップ前のダイサイズ  
2.5mm角のLSI

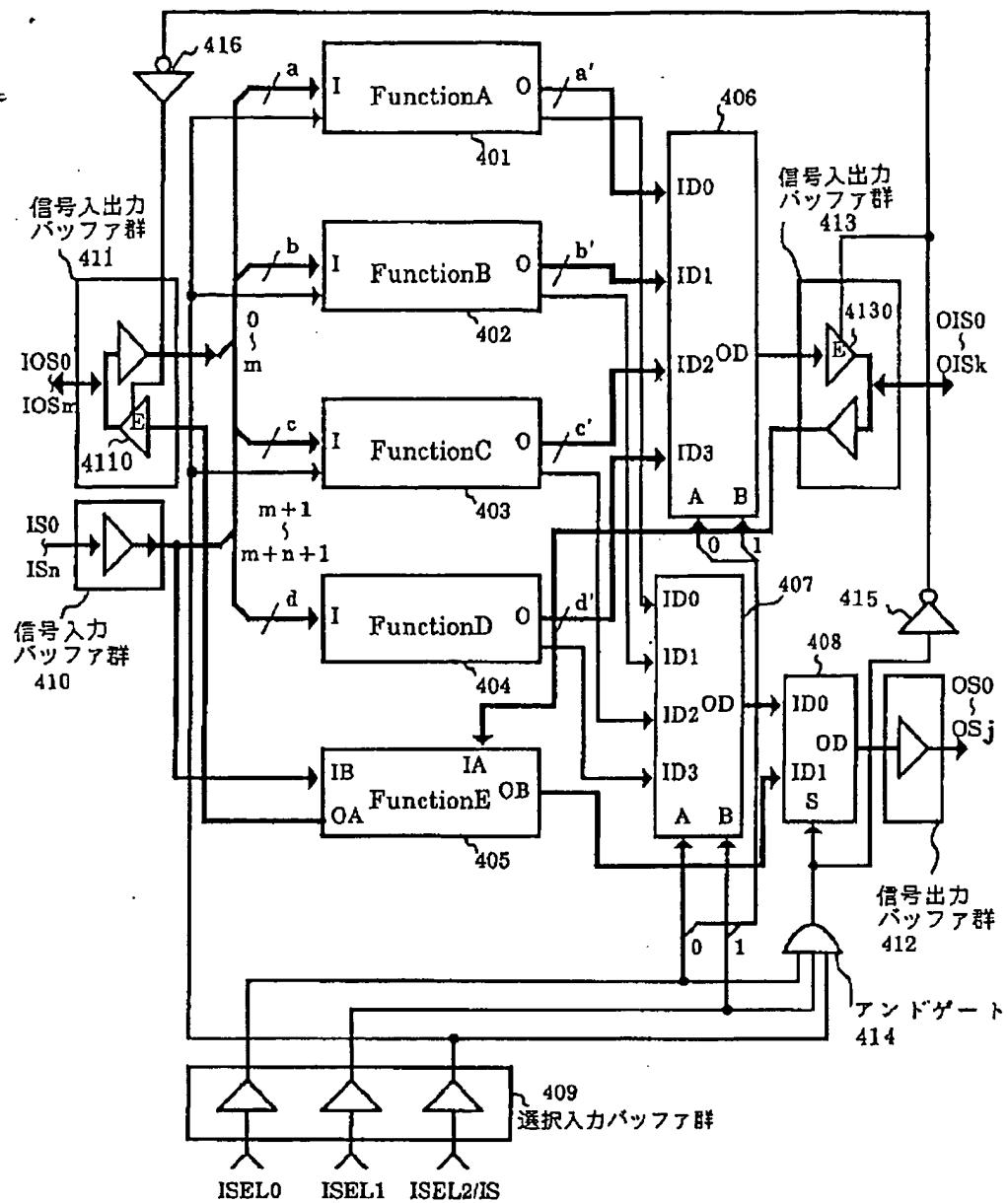
1μmプロセスのCMOSゲートアレイ  
(約4000ゲート、60パッド)



(b) プロセスアップ後のダイサイズ  
2.5mm角のLSI

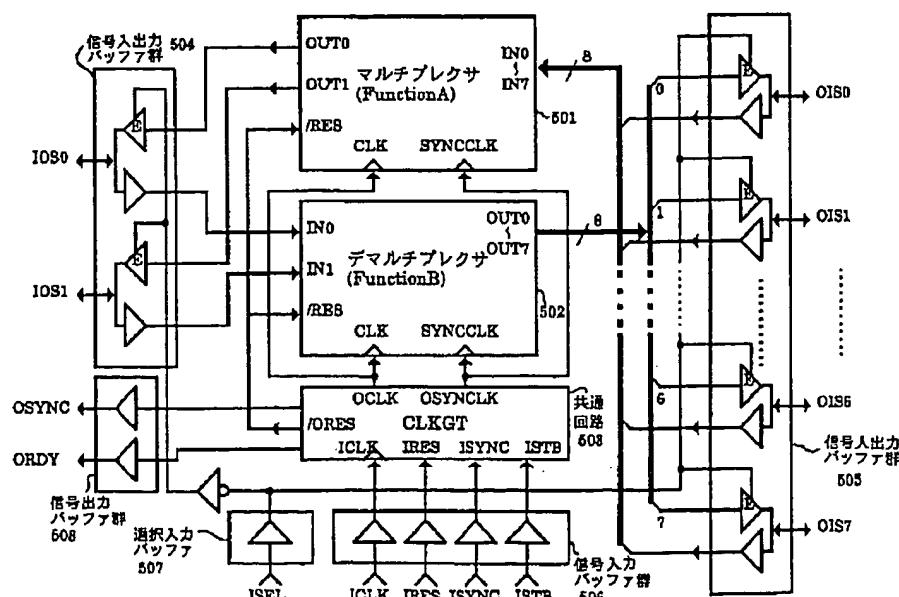
LSI(CMOSゲートアレイ)の製造プロセスと回路実装可能規模/入出力パッド数との関係

[Drawing 4]



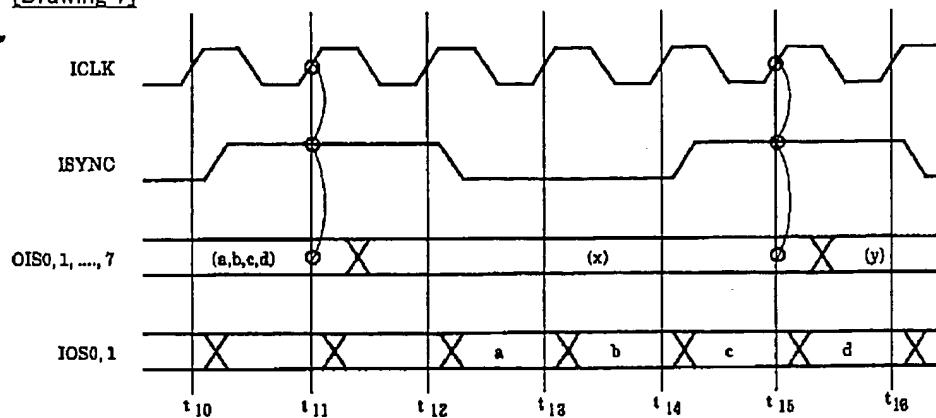
マルチファンクションLSIの回路実装例2

[Drawing 5]



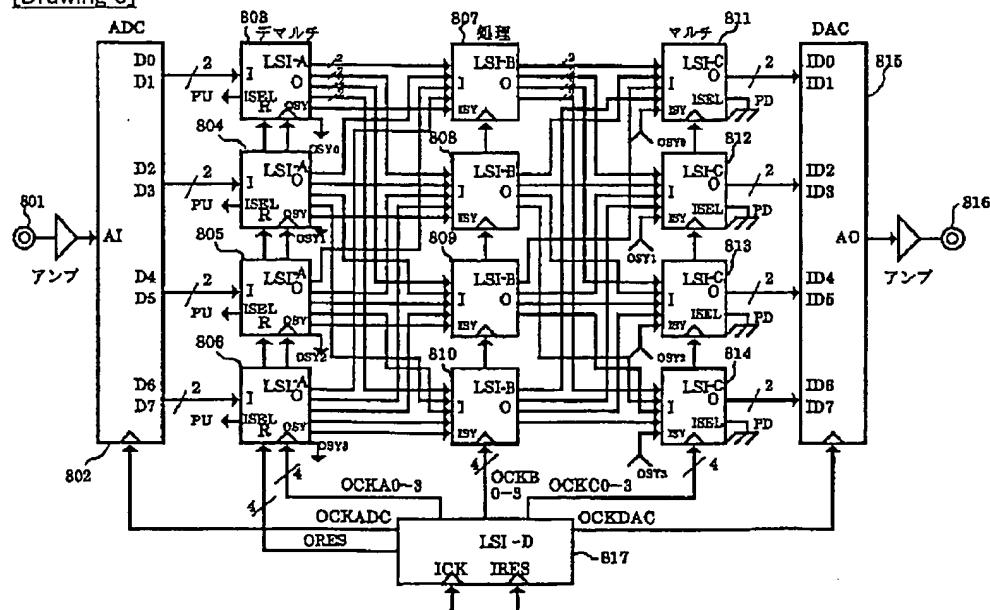
マルチファンクション(マルチブレクサ/デマルチブレクサ)LSIの構成例3

[Drawing 7]



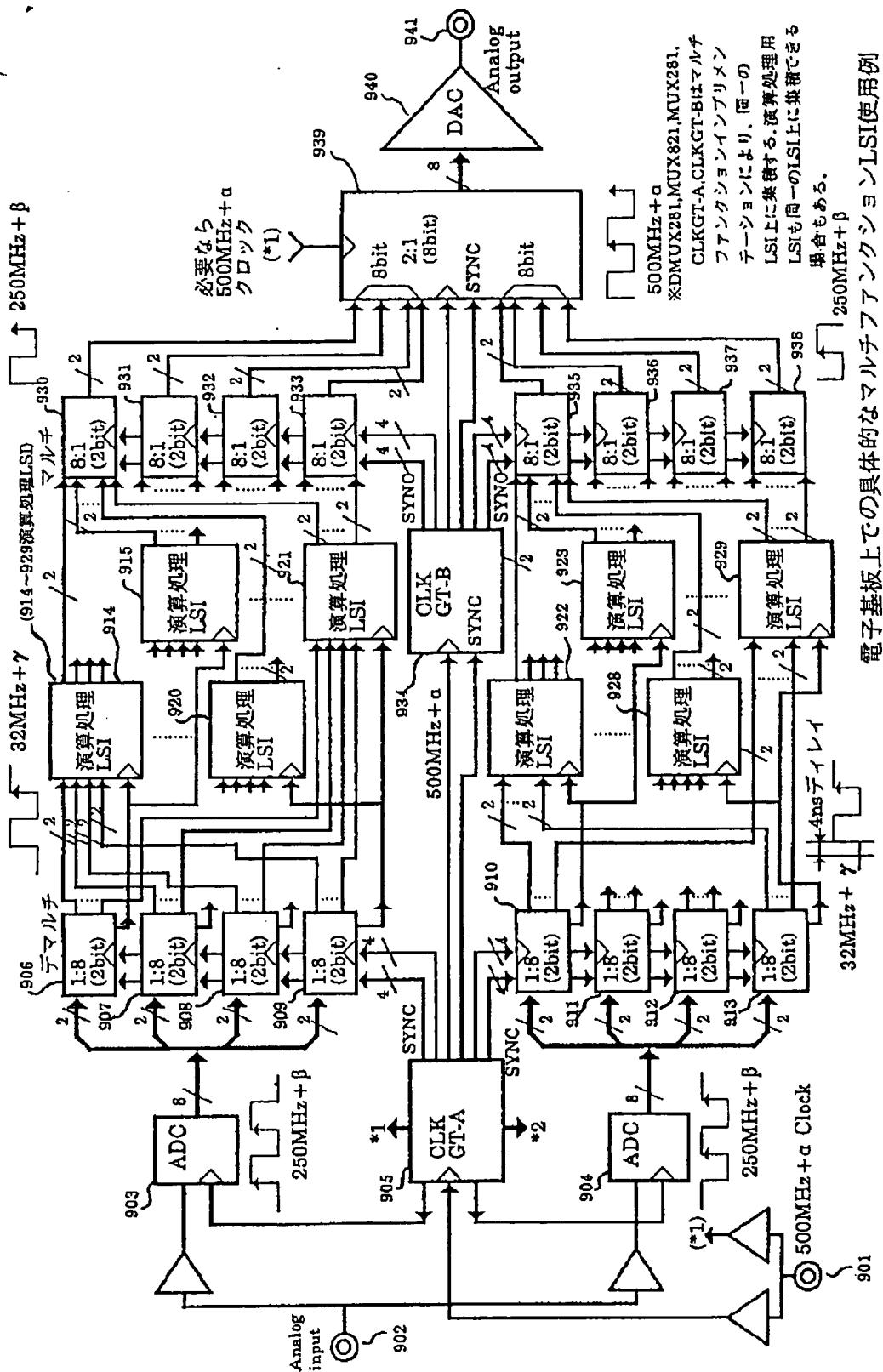
マルチプレクサタイミングチャート

[Drawing 8]



マルチファンクションLSIを用いたシステム構成例

[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204128

(43)公開日 平成8年(1996)8月9日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 27/04  
21/822  
G 0 6 F 15/78

識別記号 庁内整理番号

11

技術表示箇所

H 01 L 27/ 04  
21/ 82

M  
B

審査請求 未請求 請求項の数 9 OL (全 15 頁) 最終頁に続く

(21) 出願番号 特願平7-7047  
(22) 出願日 平成7年(1995)1月20日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 亀谷 雅嗣  
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 三宅 徳久  
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 橋本 茂男  
茨城県日立市大みか町五丁目 2 番 1 号 株式会社日立製作所大みか工場内

(74) 代理人 弁理士 高崎 芳絵

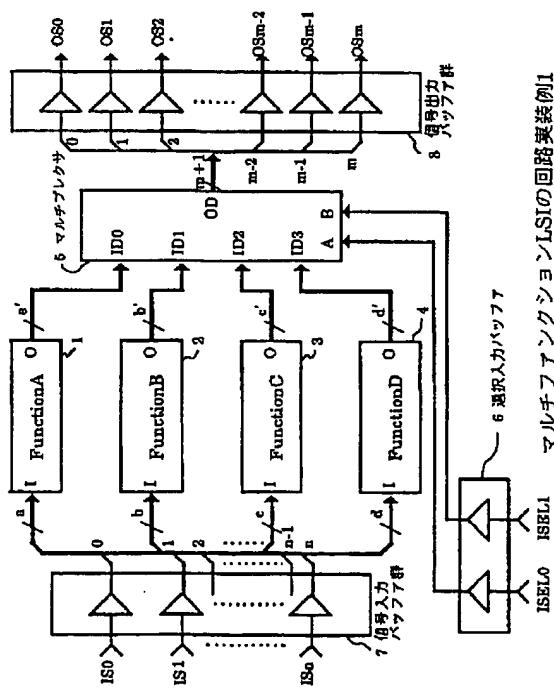
(54) [発明の名称] マルチファンクションLSI装置とその機能切換方法、及び演算処理システム

(57) 【要約】

【目的】 ピンネックを解消し、量産性に優れたマルチファンクションLSI装置を実現する。

【構成】 機能回路1～4の入力はピンI S0～I S nを共用し、出力は選択信号ピンI SEL0、I SEL1からの選択信号で制御されるマルチブレクサ5を介してピンO S0～O S mと接続する。

【効果】 マルチプレクサにより1つの機能回路を選択することで、入出力ピンはとともに各機能回路で共用でき、ピンネックが生じない。同時に複数機能の任意の1つを選択して使えるから、同一のチップの使用量がふえ、量産効果が大きくなる。



## 【特許請求の範囲】

【請求項1】 外部接続用の複数のピンと、複数の機能回路と、該機能回路を選択する選択信号を入力するための選択信号入力回路と、上記選択信号により選択された機能回路の入力端及び出力端の一方又は双方と上記ピンの一部とを接続するための切換回路と、を備えたことを特徴とするマルチファンクションLSI装置。

【請求項2】 前記切換回路は、前記選択信号により選択された機能回路の出力端を前記ピンの一部と接続する回路であり、上記ピンの他の部分は、共通の入力用ピンとしてすべての機能回路の入力端に接続されて成ることを特徴とする請求項1記載のマルチファンクションLSI装置。

【請求項3】 前記切換回路は、前記ピンの一部に接続され、その信号伝達方向が双方向に切換可能な双方向バッファ群であることを特徴とする請求項1記載のマルチファンクションLSI装置。

【請求項4】 前記機能回路は、高速シリアル信号を低速パラレル信号に変換するデマルチブレクサ回路と、その逆変換を行うマルチブレクサ回路であることを特徴とする請求項3記載のマルチファンクションLSI装置。

【請求項5】 請求項1～4の内の1つに記載のマルチファンクションLSIを用いて構成した演算処理システム。

【請求項6】 高速シリアル信号を低速パラレル信号に変換するための請求項4記載のマルチファンクションLSI装置と、上記低速パラレル信号を入力として演算処理を行うための演算処理用LSI装置と、該演算処理用LSI装置から出力される低速パラレル信号を高速シリアル信号に変換するための請求項4記載のマルチファンクションLSI装置と、を備えたことを特徴とする演算処理システム。

【請求項7】 複数の機能回路を搭載し、その1つを選択して使用するマルチファンクションLSI装置の機能切換方法において、選択された機能回路の入力端及び出力端の一方又は双方が当該LSI装置の外部接続用のピンの一部と接続されるように切換えることにより機能切換を行なうことを特徴とするマルチファンクションLSI装置の機能切換方法。

【請求項8】 前記各機能回路の入力端は前記ピンの一部を共通入力用ピンとし、前記選択された機能回路の出力端のみを上記ピンの他の一部とマルチブレクサを介して接続することにより機能切換を行なうことを特徴とする請求項7記載のマルチファンクションLSI装置の機能切換方法。

【請求項9】 前記選択された機能回路の入力端及び出力端の一部又は全部を、その信号伝達方向が双方向に切換可能な双方向バッファ群を介して前記ピンの一部に接続することにより機能切換を行なうことを特徴とする請求項7記載のマルチファンクションLSI装置の機能

切換方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、マルチファンクションLSI装置とその機能切換え方法、及びそのLSI装置を用いた演算処理システムに関するものである。

## 【0002】

【従来の技術】 図2は一般的な電子回路システム内の機能分散構造を示す。どんなシステムでも基本的に階層化された機能構成となるため、階層化の下位レベルに至るほど機能分散が進み、機能回路間の結合が粗になっていく。その代りに、その専用的な機能を外部に対して提供するための機能入出力信号の数は増加していく傾向にある。例えばCPUを有するインテリジェントシステムを例にとると、図2において、外部回路AはCPU部又はCPUに直結する信号／バスインターフェース回路、外部回路BはCPUに直接管理されたデバイス、外部回路CはメモリシステムやシステムI／O回路、外部回路DはI／Oチャネルや共通I／Oドライバ又はインターフェース、外部回路Eはシステムバスや共通バスインターフェース回路等に相当する。このようなシステムの場合、機能回路302がメモリコントローラ又は入出力コントローラ、機能回路303及び304がI／Oチャネルコントローラ又は共有I／Oバスコントローラ、機能回路305がシステムバス又は共通バスコントローラという機能分担となっている。共通回路部301は、CPUの動作をモニタして各機能回路で共通に使用する信号の生成や、CPUの動作にフィードバックする各機能回路からの信号を統合して生成する部分であり、CPUのバスステートやバスサイクルを管理したり、モニタリングし、基本的な基準信号やクロックを生成するマシンステートコントローラ(MSC)や、各種システムクロック及び各機能回路用の各種クロックを生成するクロックジェネレータ(CLKGT)等に相当する。

【0003】 従来、図2に示した回路システムをLSI化する場合、機能回路302～305及び共通回路301をそれぞれ4～5個(4個の場合は共通回路部を各LSIに内蔵する)の異種のLSIとして設計するか、あるいは図3のシステム全体を1つの大規模LSIとして集積する。

## 【0004】

【発明が解決しようとする課題】 上記した従来の技術では、電子基板やシステムを構築する際、必要な機能回路毎にLSI化を行うと、LSIの種類が増えて、かなりの量産が可能なアプリケーションに対してしか低コストでLSI化を図っていくことができないという問題があった。また、1チップのLSIに複数の機能モードを組み込んでおき、その機能の複数モードの中から1つを選択するように構成することはあるが、この場合でも、入出力ピンの基本的な機能は1つに固定されている。そし

て各機能ブロック毎に予め定められた1通りの接続方式で電子基板上の他の回路ブロックと接続して使用され、局所的な接続の違いによるバリエーションはいくつかあったとしても、基本的には1通りの使用方法又は実装方法しか許されず、少量生産型のアプリケーションにおいては必ずしも低コスト化の問題を解決できるものではない。

【0005】一方、大規模な1チップLSIに、関連する複数の機能(システム)を集積してしまう(システムオンチップ)アプローチをとったときには、大規模化に伴う歩留まりの低下や設計コスト上昇と合わせて、以下に詳述するピンネックの問題が生じる。図3は、LSI(CMOSゲートアレイ)のプロセスアップの一例を示す。両者の場合のダイサイズ(LSIの回路集積部分の大きさ)は同じ(約2.5mm×2.5mm)であると仮定し、同図(a)の2μmプロセスルールから同図(b)の1μmプロセスルールにプロセスアップを行ったとしている。この配線ルールの微細化の比率であるプロセス向上比率はこの場合2である。これによって、トランジスタ数は4倍に向上している。即ち、いずれの場合もダイ上の1マス分のエリアに約64ゲート、CMOSプロセスで約260トランジスタ相当分が集積されており、2μmルールの場合は16マス、1μmルールの場合は64マス分のトランジスタ数となっている。しかし外部入出力用の機能ピンを取り出すための信号パッド数は、図3(a)の2μmルールで44パッド、図3(b)の1μmルールで60パッドとなっており約1.4倍程度しか多くなっていない。この理由の第1は、トランジスタは平面的に配置されるのでその増加率はプロセス向上比率のほぼ2乗に比例するのに対し、信号パットは線状に配置されるのでその増加率がほぼプロセス向上比率に比例するからである。更に第2の理由として、プロセス向上比率2よりも小さくなっているのは、外部に接続される負荷(主として容量性負荷)をドライブするのに必要な電流(瞬時電流)容量がスイッチング特性の高速化に伴い信号のスルーレートが高くなるため同等もしくはより大きくなる傾向にあり、パッドの電流密度の限界から、信号パッドサイズをそれほど小さくできないからである。

【0006】ところがランダム論理を集積する場合、必要となるピン数は、トランジスタ数にほぼ比例して増加することが経験的に知られており、こうしてトランジスタ数と外部入出力ピン数との間にアンバランスが生じてしまう。このことは、メモリ回路等を大量に集積しない限り、ランダム論理主体の回路では大幅に入出力ピン数が不足してしまうことを意味する。すなわち、多数の機能ピンを確保するためにLSIに集積する回路規模に比べてかなり大きなチップサイズ(ダイサイズ)のものを使用する必要が生じ、この面からも開発費の増大や歩留まりの低下を招く。すなわち、少量生産システムでの

LSI化は逆にコスト上昇を招く可能性が高い。

【0007】このことを、例えば1000ゲート規模で40~50ピン程度の外部入出力信号を必要とする機能回路(Function)を4つ用意し、4000ゲート規模のCMOSゲートアレイに集積する場合についてみる。これを従来通り1チップに集積しようとすれば、必要となる160ピン~200ピン程度の信号パッド数を確保するために、1μmルールのプロセスを用いたCMOSゲートアレイで10000ゲート規模の大きなダイサイズのものが必要となり、必要なゲート数で決まるダイサイズよりもはるかに大きなものになる。

【0008】本発明の目的は、LSIの開発費用及び量産時の製造コストを低く抑えつつ、LSIの外部入出力ピン数を十分多く確保できてピンネックが生じないようにしたマルチファンクションLSI装置とその機能切換方法、及びこのマルチファンクションLSI装置を用いた演算処理システムを提供することにある。

【0009】

【課題を解決するための手段】本発明は、外部接続用の複数のピンと、複数の機能回路と、該機能回路を選択する選択信号を入力するための選択信号入力回路と、上記選択信号により選択された機能回路の入力端及び出力端の一方又は双方と上記ピンの一部とを接続するための切換回路と、を備えたことを特徴とするマルチファンクションLSI装置を開示する。

【0010】更に本発明は、上記切換回路が、上記選択信号により選択された機能回路の出力端を上記ピンの一部と接続する回路であり、上記ピンの他の部分は、共通の入力用ピンとしてすべての機能回路の入力端に接続されて成ることを特徴とするマルチファンクションLSI装置を開示する。

【0011】更に本発明は、上記切換回路が、上記ピンの一部に接続され、その信号伝達方向が双方向に切換可能な双方向バッファ群であることを特徴とするマルチファンクションLSI装置を開示する。

【0012】更に本発明は、上記のマルチファンクションLSI装置を用いて構成した演算処理システムを開示する。

【0013】

【作用】切換回路を用いることで、複数の機能回路により入出力ピンを共有できるから、ピンネックを解消でき、ピン数が少なくてよいことからパッケージコストも下げられる。また開発費用は、必要な機能を内蔵したLSIを1チップ製作すれば良く、個々の機能を持つチップの場合と回路設計量としては殆ど変わらないが、初期製作費用は非常に低く抑えることができると共に、複数機能のどれでも使えるから非常に高い量産性を確保でき、1チップ当たりのコストを低く抑えることができる。従ってこのLSI装置を利用して演算処理システムを構成すれば、システム価格を低減することができる。

## 【0014】

【実施例】以下、本発明を実施例により詳細に説明する。図1は、本発明になるマルチファンクションLSI装置の一実施例を示すブロック図で、4つの機能回路(Function 1～4の各々は、1μmルールのCMOSプロセスで作製された1000ゲート規模、合計4000ゲート規模)のゲートアレイである。入力ビンIS0～ISnは信号入力バッファ群7を介して各機能回路1～4の入力端子Iへ接続され、また各機能回路1～4の出力端子Oは選択入力バッファ群6により制御されるマルチブレクサ5、及び信号出力バッファ群8を介して出力ビンOS0～OSmと接続されている。

【0015】この構成において、マルチブレクサ5は選択ビンISEL0、ISEL1に与えられた選択信号(以下、この信号もビンに付した信号ISEL0、ISEL1を()でくくった(ISEL0)、(ISEL1)等で表す。他のビンについても同様)に応じて出力ビンOS0、OS1、—、OSmに機能回路1～4のどの出力を接続するかを切り換える。即ち、マルチブレクサ5の選択入力端子A、Bには、外部から入力される選択信号(ISEL0、ISEL1)から生成した信号が入力され、また、機能回路1～4の各出力端子Oからの信号が入力端子ID0～ID3に入力される。そして選択信号(ISEL0、ISEL1)に対応した機能回路の出力端子Oからの出力信号を選択し、出力端子ODに出力する。

【0016】一方、入力ビンIS0～ISnから入力される外部入力信号は、各機能回路1～4に対応してそれぞれ定められた機能を有する入力信号群として共通に使用される。すなわち、回路上は共通信号のように記述され、配置されているが、各機能回路1～4それぞれでは互いに異なる機能(それぞのファンクションに合った機能)として認識され処理される。従って、マルチブレクサ5が外部へ出力すべき出力信号を選択した時点で必然的にそれらの機能に関連する機能、すなわち、選択された機能回路に対応する入力信号の機能に設定されることになる。

【0017】本実施例に於るビン類を検討してみると、4000ゲートを1チップに搭載してマルチブレクサを用いずに入出力ビンに接続する従来技術では、160ビン程度以上を要した。しかし4000ゲート規模を搭載するダイサイズでは60～70の信号パッドしか設けられなかつた。ところが本実施例によると、入、出力ビンともに4つの機能を回路1～4の各々が必要とするビン数の内の最大の個数があればよく、これは従来例で説明したように1000ゲート規模のゲートアレイで40～50ビン程度である。従って4000ゲート搭載できるダイサイズで確保可能な60～70の信号パッドがあれば十分で、選択信号(ISEL0、ISEL1)用のパッドを付加しても十分に実現可能である。

【0018】こうして本実施例によると、ピンネックを解消すると共に4つの機能回路をまとめてLSI化するから開発費用が低下する。また大型のダイが不要であること、複数の機能を持つからその分だけ生産量が増えて量産効果が向上することから低価格化ができる。更にパッケージもビン数のそれほど多くない標準レベルのもので良く、パッケージコストも非常に低く抑えることが可能である。

【0019】図4は、本発明になるマルチファンクションLSI装置の別の実施例を示すブロック図である。図1の実施例では、入力バッファ群7及び出力バッファ群8が固定であり、従って、入力信号ビン数及び出力信号ビン数がともに一定で、このためその外部入出力信号数がほぼ同一であるような機能回路を1チップで組み込むように設計する必要があった。本実施例は、入出力信号数が各機能回路ごとに異なっても、双方向の入出力バッファを用いて選択信号により制御することで、物理的な入出力バッファ数の制約をそれ程受けすことなくマルチファンクションLSI装置の設計を行うことができるようになしたものである。

【0020】図4に示したマルチファンクションLSI装置は、機能の異なる5つの機能回路(Function 401～405と、選択入力バッファ群409を介して入力される選択信号(ISEL0、ISEL1、ISEL2/IS)の3つの入力で制御されるマルチブレクサ406～408と、同じく上記3つの入力で制御され、各々がm+1個及びk+1個の入出力端子を有する信号入出力バッファ群411及び413と、n+1個の入力端子を有する信号入力バッファ群410とj+1個の出力端子を有する信号出力バッファ群412から成っていて、外部から見ると、1チップで5種類のLSIに変身するLSIである。

【0021】以下、本実施例の動作を説明する。まず選択信号(ISEL1、ISEL0)が(0、0)、(0、1)、又は(1、0)のときは、この順に対応して機能回路401、402、または403が選択される。この時信号(ISEL2/IS)は、機能回路401～403の入力信号の1つとして割り付けられている。また、この条件の時アンドゲート414出力は常に「0」であるから、インバータ415、416を介して入力され、信号入出力バッファ群411の出力バッファ4110をアクティブにするイネーブル入力Eは「0」となり、出力バッファ4110がディゼーブル状態、即ち、ハイインピーダンス出力状態に固定され、各機能回路401～403はバッファ群411を入力バッファ群としてみなして、これらからの入力信号を各入力端子1に取り込む。

【0022】一方、同一条件下で信号入出力バッファ群413の出力バッファ4130をアクティブにするイネーブル信号Eには「1」が印加されてアクティブ状態と

なり、バッファ群413は出力バッファ群とみなされる。

【0023】またこの時、マルチブレクサ406及び407では選択信号(I SEL1、I SEL0)の値に対応して、(0、0)のとき機能回路401の出力に接続された入力端子ID0が、(0、1)のとき機能回路402の出力に接続された入力端子ID1が、(1、0)のとき機能回路403の出力に接続された入力端子ID2がそれぞれ選択される。そして各マルチブレクサ406、407の出力ODに選択された入力信号群が出力され、マルチブレクサ406出力は入出力バッファ群413を介して外部へ出力され、またマルチブレクサ407の出力は統いてマルチブレクサ408を介し、さらに出力バッファ412を介して外部へ出力される。なおこのときマルチブレクサ408の選択入力Sには「0」が印加されており、常に入力端子ID0側、即ちマルチブレクサ407の出力が選ばれている。

【0024】以上のように、選択信号(I SEL1、I SEL0)が(0、0)、(0、1)、又は(1、0)の条件下では、外部からみると入力信号ビンとしてIOS0～IOSm、IS0～ISn及びISEL2/ISの合計m+n+3本、出力信号ビンとしてOIS0～OISk、OS0～OSjの合計k+j+2本とから構成されるLSIとして扱うことができる。

【0025】次に図4において、選択信号(I SEL1、I SEL0)が(1、1)の場合の動作を説明する。このときは選択信号(ISEL2/IS)が「0」の場合と「1」の場合で、それぞれ以下のように信号入出力バッファ群の機能が設定される。

【0026】(ISEL2/IS) = 「0」の場合。このときアンドゲート414出力は「0」であるから、選択信号(I SEL1、I SEL0)が(1、1)以外の組み合わせの場合とほぼ同様で、ビンIOS0～IOSm及びIS0～ISnが入力ビン、ビンOIS0～OISk及びOS0～OSjが出力ビンとなる。信号(ISEL2/IS)は選択信号として機能するので、この場合は入力信号としては用いることができない。マルチブレクサ406、407では入力端子ID3が選択され、機能回路404が選ばれてその機能信号が出力バッファとして定義されたバッファ413及び412に出力される。従ってこのとき、本LSI装置は、機能回路404のみをインプリメントしたものと等価であるとみなすことができる。

【0027】(ISEL2/IS) = 「1」の場合。このときアンドゲート414出力は「1」となり、出力バッファ4130が非アクティブ(ハイインピーダンス)となり、逆に信号入出力バッファ411の出力バッファ4110がアクティブとなる。従って、外部からの入力信号としてはビンIS0～ISn及びOIS0～OISkの合計n+k+2本がアサインされ、外部への出

力ビンとしてはビンOS0～OSj及びIOS0～IOSmの合計j+m+2本がアサインされていることになる。機能出力信号としては、マルチブレクサ408が入力端子ID1、すなわち、機能回路405の出力OBを選択してビンOS0～OSjに出力し、また機能回路405の出力OAは直接バッファ411を介してビンIOS0～IOSmに出力される。従ってこのとき、このLSI装置は、機能回路405のみをインプリメントしたものと等価であるとみなすことができる。

【0028】このように、双方向入出力バッファ群をいくつかのグループに分割して、選択信号を用いて入出力機能の設定を行い、専用の入力、出力バッファ群と組み合わせて用いれば、非常に高い自由度で物理的に必要となる入出力ビン数やその物理的な配置を決めることができる。なおここでは、双方向の入出力バッファ群を入力か出力のいずれか一方に切り換えて用いる場合を示したが、機能回路によっては、例えばデータバスのような双方向の入出力信号群を扱う場合もある。そのような場合は、双方向入出力バッファ群の出力イネーブル信号Eを、機能回路によって必要なタイミングでダイナミックにアクティブ/非アクティブに制御することにより、双方向の機能をそのまま利用すれば良い。

【0029】図5は、本発明のより具体的なマルチファンクションLSIの実施例を示すブロック図で、ゆっくりしたタイミングで入力される8ビット幅のデータを2ビット幅のデータに変換して高速なタイミングで出力するマルチブレクサ回路501と、高速なタイミングで入力される2ビット幅のデータを8ビット幅のデータに拡張してゆっくりしたタイミングで出力する機能を有するデマルチブレクサ回路502との2つの機能回路と、入出力ビンの切り換えを行うための信号入出力バッファ群504、505、信号出力バッファ群508、信号バッファ群506及び選択入力バッファ507からなり、選択信号(SEL)によりマルチ/デマルチの機能を切り換えて用いることで、両方の機能が1つのLSIで実現できるマルチファンクションLSI装置である。以下の動作を説明する。

【0030】図6は、デマルチブレクサ回路502の動作を示すタイムチャートで、図5で選択信号(SEL)を「1」としたときの動作である。このときは選択信号(SEL) = 「1」であるから、信号入出力バッファ504内の出力バッファはいずれも非アクティブとなり、信号入出力バッファ群505内の出力バッファがすべてアクティブとなっている。

【0031】この状態で、LSIの内部ハードウェアのリセット処理と変換開始タイミングを決めるための信号IRESがアクティブレベル「1」になると、そのときの信号ICLK(高速クロック)の立ち上がりのタイミング信号から入力データ列がビンIOS0、IOS1から入力され始め、合計4クロック(信号ICLKの4周

期) 分取り込まれる。この信号 ICLK 4 周期分の合計  $2 \times 4 = 8$  ビットのデータは、デマルチブレクサ 502 で 8 ビットパラレルの、周期が信号 ICLK の 4 倍のデータに変換される。信号 ISYNC は、デマルチブレクサ 502 で変換されたデータを出力ビン OIS0 ~ OIS7 へ出力するタイミングを決めており、最後の 2 ビット分の入力データを内部に取り込んでから、信号 ICLK のそれ以後の立ち上がりのタイミング 4 つ分まで信号 ISYNC の位相を信号 ICLK に同期して移動することにより、出力タイミングをずらすことができる。

【0032】図 6 では、信号 IRES がアクティブになり、信号 ICLK が立ち上がった時刻  $t_0$  から 4 つつのデータ a、b、c、d がビン IOS1 から取り込まれている。そして最後のデータ d の取り込みが終了した直後の信号 ICLK の立ち上がり時刻  $t = t_0$  から変換データを出力するように ISYNC 信号の位相を定めている。従って、図の時刻  $t_0$  は、データ (a, b, c, d) が 8 ビットパラレルで出力されるタイミングであり、時刻  $t_0$  は、データ (a, b, c, d) より 1 つ前に取り込まれたデータ (図示省略) の出力タイミングを示している。またデータ (a, b, c, d) と出力ビン OIS0, OIS1, … に outputされるデータ値との対応は、

【数1】  
 $a = ((IOS_0), (IOS_1))$   
 $b = ((IOS_0_1), (IOS_1_1))$   
 $c = ((IOS_0_2), (IOS_1_2))$   
 $d = ((IOS_0_3), (IOS_1_3))$

とすると

【数2】  
 $(OIS0) = (IOS_0_0)$   
 $(OIS1) = (IOS_1_0)$   
 $(OIS2) = (IOS_0_1)$   
 $(OIS3) = (IOS_1_1)$   
 $(OIS4) = (IOS_0_2)$   
 $(OIS5) = (IOS_1_2)$   
 $(OIS6) = (IOS_0_3)$   
 $(OIS7) = (IOS_1_3)$

である。但し  $(IOS_0_1), (IOS_1_1)$  は時刻  $t_0$  のタイミングにビン IOS0, IOS1 からそれぞれ取り込まれたビット値である ( $j = 0 \sim 3$ )。こうして、2 ビットパラレルで入力されたデータが 8 ビットづつまとめられ (拡張変換)、8 ビットパラレルデータとして出力される。

【0033】図 7 は、図 5 のマルチブレクサ回路 501 の動作を示すタイムチャートで、図 5 で選択信号 (ISEL) を「0」としたときの動作である。このときは選択信号 (ISEL) = 「0」であるから、信号入出力バッファ 504 内の出力バッファはいずれもアクティブとなり、信号入出力バッファ群 505 内の出力バッファがすべて非アクティブとなっている。ゆっくりしたタイミングのクロックである信号 ISYNC が「1」となって

その直後の信号 ICLK の立ち上がりのタイミング  $t_{11}$  で外部から OIS0 ~ OIS7 を介して 8 ビットのパラレルのデータ x が入力されると、次の信号 ICLK の上がりのタイミング  $t_{12}$  から 4 周期分 (信号 ICLK の周期) 連続して 4 つの 2 ビットの出力データ (a, b, c, d) に変換し、ビン IOS0, IOS1 に 4 つ連続して出力する。本動作の場合、信号 IRES は LS1 の内部回路をリセットする機能のみを実現するものと仮定しているが、デマルチブレクサの場合と同様、信号 IRES の入力タイミングによって IOS0, IOS1 に変換したデータを出力し始めるタイミングを決定するような機能を持たせても良い。

【0034】上記マルチブレクサ動作の入出力関係は以下のようになる。まず入力ビン OIS0 ~ OIS7 からの入力信号と信号 a ~ d は

【数3】  
 $a = ((OIS0), (OIS1))$   
 $b = ((OIS2), (OIS3))$   
 $c = ((OIS4), (OIS5))$   
 $d = ((OIS6), (OIS7))$

の関係であり、出力ビン IOS0, IOS1 へは時刻  $t_{11}$  に a、時刻  $t_{12}$  に b、時刻  $t_{13}$  に c、時刻  $t_{14}$  に d がそれぞれ出力される。

【0035】図 5 の実施例では、マルチブレクサ回路を用いておらず、双方の信号入出力バッファ群 504, 505 の入出力機能を選択入力信号 (ISEL) で切り換えることにより LS1 の機能を決定している。これは、マルチブレクサとデマルチブレクサとがちょうど逆の機能を有しており、入力ビン数と出力ビン数が逆になるだけで、合計の機能信号のビン数がほぼ同一にできるため、マルチファンクション LS1 と一緒に集積するのに好適だからである。このように、一緒に集積する機能回路をよく検討すれば、非常に効率的、効果的にマルチファンクション LS1 が構築できることがわかる。すなわち、図 1 及び図 4 におけるマルチブレクサ回路 5, 406, 407, 408 に相当する機能切り換えるための特別な回路を用いなくても非常に効率的にマルチファンクション LS1 装置が構成可能な場合があることを示した例が図 5 の実施例であると言える。

【0036】図 5 の実施例の応用としては、例えば、図 5 中の共通回路 (CLKGT) 503 の機能をマルチブレクサ/デマルチブレクサしてクロック生成及び制御用 LS1 を構成したり、更に多くの機能回路がインプリメント可能であれば、演算機能回路等をマルチブレクサ回路とともにインプリメントし、マルチ/デマルチ回路を入出力用に用いることによって演算処理用 LS1 を実現することもできる。

【0037】このような本発明のマルチファンクション LS1 を用いたシステム構成例を図 8 の実施例により説明する。このシステムでは、まず入力端子 801 から入力されたアナログ信号をアンプで増幅した後サンプリ

グ型のADC（アナログ-デジタル変換器）802で2ビット×4=8ビットのデジタルデータに変換し、そのデータの各2ビットずつ計4組を4個のデマルチブレクサ（LSI-A）803～806に入力する。デマルチブレクサ803～806は、図5及び図6で説明したデマルチブレクサとほぼ同じ動作を行うもので、その2ビット入力を8ビットパラレルのデータに変換する。デマルチブレクサ803～806の各出力は2ビットずつの4組の出力に分けられていて、どのデマルチブレクサについてもその出力の各組は4つの演算回路（LSI-B）807～810に入力される。各演算回路807～810出力も2ビット×4組構成となっており、この出力がやはり4つのマルチブレクサ（LSI-C）811～814に入力される。このマルチブレクサも図5、図7で説明したものとほぼ同じである。最後に、各マルチブレクサ811～814から出力された2ビット幅のシリアルデータはサンプリングタイプのDAC（デジタル-アナログ変換器）815に入力されてアナログデータに変換され、アンプで増幅されて、アナログ出力端子816に出力される。

【0038】クロック生成及び制御回路（LSI-D）817は、基準となる高速なシステムクロックをCLK入力に、内部回路のリセット及び外部リセット出力信号ORESの生成を行うためのシステムリセット信号をIRES入力に受けて、デマルチブレクサ803～806それぞれへのリセット信号ORESと、ADC802へのクロック信号OCKADCと、デマルチブレクサ803～806それぞれへのクロック信号OCKA0～3、演算回路807～810それぞれへのクロック信号OCKB0～OCKB3と、マルチブレクサ811～814それぞれへのクロック信号OCKC0～OCKC3と、DAC815へのクロック信号OCKDACとを生成している。

【0039】デマルチブレクサ803～806及びマルチブレクサ811～814は、前述のように図5に示したマルチファンクションLSIとほぼ同じであるが、異なるのは、デマルチブレクサ803～806が、入力された高速な基準クロック信号OCKA0～OCKA3（図5におけるICLKと等価）を基にして、その4倍の周期を有する低速な同期用クロックOSY及びOSY0～3を生成し、クロックOSYを演算回路807～810の入力端子ISYへ入力し、クロックOSY0～OSY3をマルチブレクサ811～814の対応する入力端子ISYに入力するという方式を探っていることである。また、マルチブレクサもリセット入力を必要とせず、デマルチブレクサからの同期クロックISY入力と、その4倍の周波数の基準クロックOCKC0～OCKC3をクロック生成及び制御回路817から得るだけのシンプルな構造としている。しかし、図5に示したマルチファンクションLSIのマルチブレクサ/デマルチ

ブレクサ機能と本質的な違いは無い。すなわち、マルチブレクサ803～806とデマルチブレクサ811～814として、図5に示したLSIを用い、その選択信号（ISEL）を「1」（ブルアップPU）に設定してデマルチブレクサ803～806とし、選択信号（ISEL）を「0」（ブルダウンPD）に設定してマルチブレクサ811～814とすればよい。データ変換機能としては図6、7に示したものとほぼ同等である。こうして、図8に示したシステム全体では、高速に入力されるアナログデータを前段のデマルチブレクサによりゆっくりとしたデジタルデータに変換することによって演算処理に要する時間を確保し、そのデータに対して中央の演算回路で、必要な演算処理（フィルタリングや複雑なデータ変換等）を加え、その出力結果を後段のマルチブレクサにより再び高速なアナログデータに変換して出力する機能を実現している。

【0040】なお、図8に示した実施例では、デマルチブレクサ803～806とマルチブレクサ811～814のみをマルチファンクションLSIの対象として説明したが、前述したように、より多くの機能回路を集積可能であれば、選択信号と機能を切り替えるマルチブレクサ回路を追加することによって、クロック生成及び制御回路817や演算回路807～810の機能もともに1チップに集積した形のマルチファンクションLSIを製作することもできる。この場合、演算回路807～810の入出力ビン数がデマルチブレクサ803～806及びマルチブレクサ811～814の入出力ビン数よりも多くなるため、ビンの総数をデマルチブレクサ又はマルチブレクサに合わせるならば、演算回路への入出力データビット数を減らす必要がある。このためには例えば、現状2bit×4の8bitで構成される入出力データを1ビット×4の4ビットデータにビットスライスする（その分LSI数が増える）。逆に演算回路のビン数に合わせるならば、デマルチブレクサ及びマルチブレクサにおけるデマルチブレクサ後およびマルチブレクサ前のデータ幅を大きくし（例えば16ビット）、演算回路の数を増やす（例えば8LSIにする）構成を探れば非常に効果的である。なお、クロック生成及び制御回路817は、同種の機能の信号を複数生成するという性格上、設計時における物理的なビン数の制御は容易であり、また出力が多いのでマルチファンクションLSIとしてデマルチブレクサや演算回路など、他の機能回路と一緒に集積しやすいと言える。また、前述したように、入力ビン数と出力ビン数の設計時における物理的な制御は、双方向の入出力バッファ群を設けて入出力の状態を細かく設定できるようにすれば容易に可能である。

【0041】図9は、図8のシステムの変形例で、ADC903及び904、DAC940のサンプリングサイクルのレベルで500MHz～1GHz（500MHz+ $\alpha$ と表現する）程度の超高速アナログ入出力信号を扱

うことを前提としたものである。ただし、ADC903及び904は、アナログ入力端子902から入力される超高速アナログ入力データ ( $500\text{MHz} + \alpha$  でサンプリング要) を、十分なサンプルホールド時間を確保して ADC903 及び904 で確実にサンプリングするために、サイクルスチールを用いている。すなわち、ADC903とADC904へ交互にアナログ入力データを振り分けることにより、各ADC当たり  $250\text{MHz} + \beta$  でサンプリングすれば良い様に構成している。このサイクルスチールを行うために、ADC903とADC904には互いに反転した  $250\text{MHz} + \beta$  のサンプリングのための基準クロックを、クロック生成用LSI (CLKGT-A) 905から供給している。またこのように2つのブロックに分割して、各々を  $250\text{MHz} + \beta$  でサンプリングする方式を取れば、各々ADCのサンプリングレートを落すことができるため、ADC内部のスイッチングノイズや出力バッファが外部の負荷をドライブする際のスイッチングノイズを低減することができ、安定なアナログ-デジタル変換が可能となるばかりか、出力されるデジタルデータの確定時間も長く確保できるため、次段のデマルチブレクサLSI906～913へのデータラッチ動作においてもセットアップ時間に余裕が生まれ、以後確実なデジタルデータ処理が可能となる。

【0042】本実施例では、デマルチブレクサLSI906～913に1:8の変換機能(図5及び図8の例では1:4であった)を持たせている。すなわち、2ビット×1のデータを入力し、2ビット×8のデータに変換している。このデマルチブクサLSI906～913で必要となる同期クロック(SYNC)及び基準クロックはクロック生成用LSI905より供給している。また、デマルチブクサLSI906～913は、次段の演算処理用LSI914～929への基準クロックも生成している。この演算用LSI914～929への基準クロック周波数は、デマルチブレクサLSI903～913によって、 $250\text{MHz} + \beta$  のサンプリング周波数が8分の1に変換されたのと等価となるため、 $32\text{MHz} + \gamma$  となる。

【0043】後段のマルチブレクサLSI930～933及び935～938も8:1のものを用い、デマルチブレクサLSIとちょうど反対の変換処理を行って、 $32\text{MHz} + \gamma$  のサンプリング周波数で演算処理LSI914～929から送り込まれて来るデータを  $250\text{MHz} + \beta$  で変化するデータに変換する。そして最終段の2:1のマルチブレクサLSI939を用いて、サイクルスチールによって分離されている2つのブロックからの8ビットずつのデータ計16ビットを、 $500\text{MHz} + \alpha$  で変化する8ビットのデータに変換して DAC940 に出力する。DAC940 はその8ビットのデジタル入力データをアナログデータに変換して、出力端子941に出力する。なお、各デマルチブレクサ及びマルチブ

レクサへの基準クロックや同期用クロック(SYNC)の供給は、クロック生成用LSI (CLKGT-B) 934によって行う。また、本例では、CLKGT-B 934への基準クロック及び同期用クロック(SYNC)の供給はクロック生成用LSI (CLKGT-A) 905によって行っている。

【0044】以上のような構成の本実施例において、非常に高速なアナログデータを扱うため、比較的ゆっくりとしたタイミング( $32\text{MHz} + \gamma$ )で動作可能な演算処理LSI914～929による演算処理ブロックを除き、他のブロックは1ランク以上高速なLSIまたは高速スイッチングが可能な製造プロセスを用いたLSI(例えばGaAsやECLプロセスを用いたLSI)で構成する必要が生じる可能性が高い。従ってこれらデマルチブレクサ、マルチブレクサ、ブロック生成用のLSIはマルチファンクションLSIとして組み込むことができるが、動作速度の異なる演算処理LSIをマルチファンクションLSIとして一緒に組み込むように設計できない場合もあり得る。なお、演算処理LSIは、本例の場合16ヶ用いて構成することになる。その入出力のビット長は図8の例と同様であるが、前述したように、演算周期を原発振器のサンプリング周波数( $500\text{MHz} + \alpha$ )の16分の1まで低速化することが可能である。但し入出力ビン数はどのLSIもほぼ同じであるため、演算処理内容によっては演算処理LSI914～929もマルチファンクションLSIとして他のLSIと同一のチップ上に組み込める場合はより効率的になる。

【0045】

【発明の効果】本発明によれば、入出力ビン数が機能回路数倍になったのと等価の効果が得られ、ピンネックを解消することができる。開発費用は、必要な機能を集積したLSIを1チップ製作すれば良く、回路設計量としてはほとんど変わらないが、初期製作費用は非常に低く抑えることができる。また、量産時には同一チップを機能回路数倍の量のLSIを生産することになるため、非常に高い量産性を確保できる。このため、少量しか生産しないシステムでも十分LSI化を図ることが可能になる。また、パッケージは、ビン数のそれほど多くない標準レベルのもので良く、パッケージコストも非常に低く抑えることができるという効果がある。

【図面の簡単な説明】

【図1】本発明におけるマルチファンクションLSI装置の一実施例を示すブロック図である。

【図2】ローカル回路ブロック内の一般的な構成を示すブロック図である。

【図3】LSI(CMOSゲートアレイ)の回路実装可能規模と入出力バッド数との関係説明図である。

【図4】本発明におけるマルチファンクションLSI装置の別の実施例を示すブロック図である。

【図5】本発明におけるマルチブレクサ/デマルチブレ

クサLSI装置の一実施例を示すブロック図である。  
【図6】図5の実施例におけるデマルチブレクサ動作の  
タイムチャートである。

【図7】図5の実施例におけるマルチブレクサ動作のタ  
イムチャートである。

【図8】本発明におけるマルチファンクションLSI装  
置を用いたシステムの一構成例を示すブロック図であ  
る。

【図9】図8のシステムの変形例を示すブロック図であ  
る。

【符号の説明】

1~4 機能回路

5 マルチブレクサ

\* 6 選択入力バッファ群

401~405 機能回路

406~408 マルチブレクサ

409 選択入力バッファ群

411, 413 信号入出力バッファ群

501 マルチブレクサ

502 デマルチブレクサ

504, 505 信号入出力バッファ群

507 選択入力バッファ

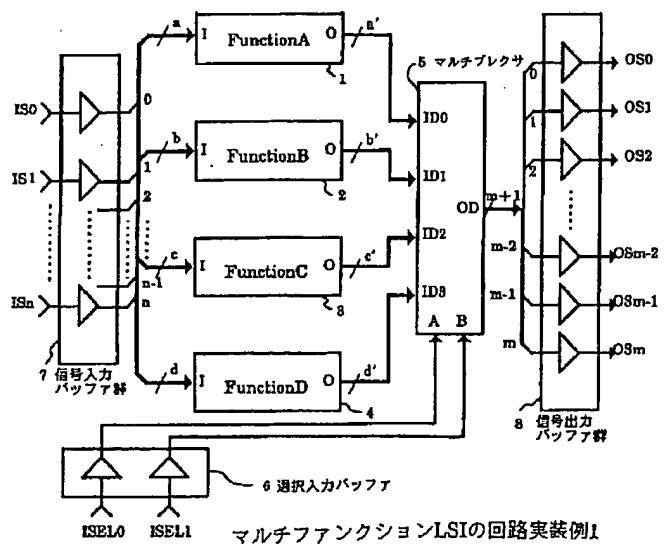
10 803~806 デマルチブレクサLSI

807~810 演算回路LSI

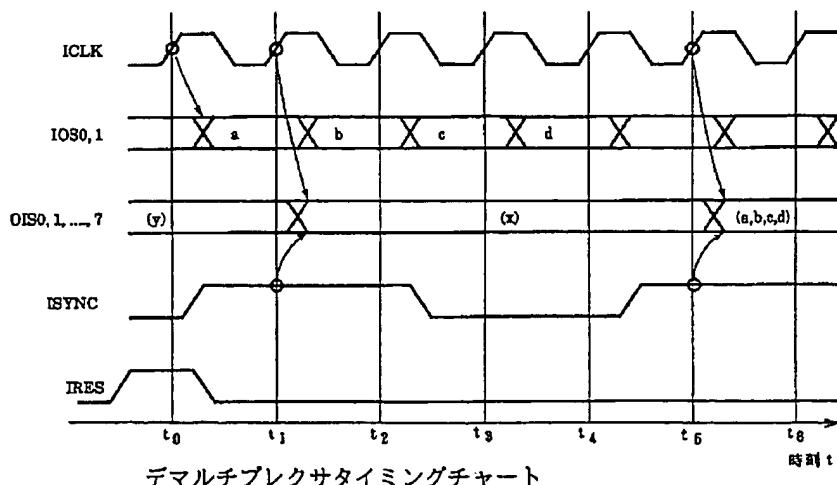
811~814 マルチブレクサLSI

\*

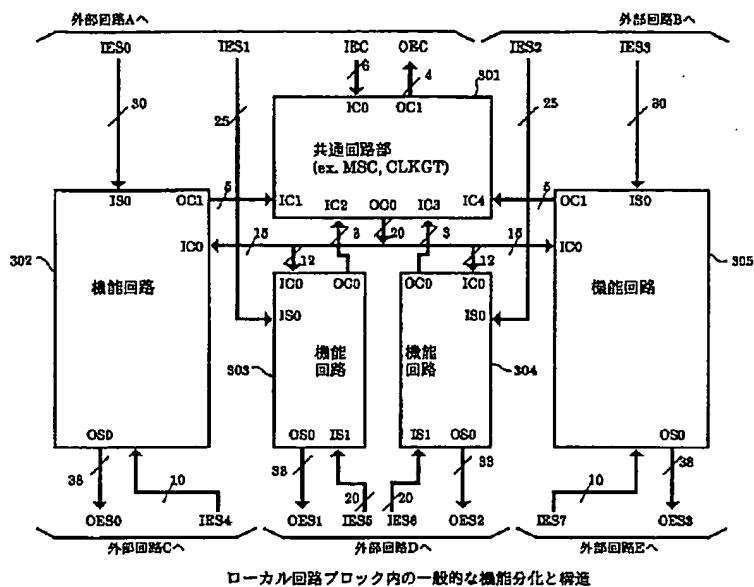
【図1】



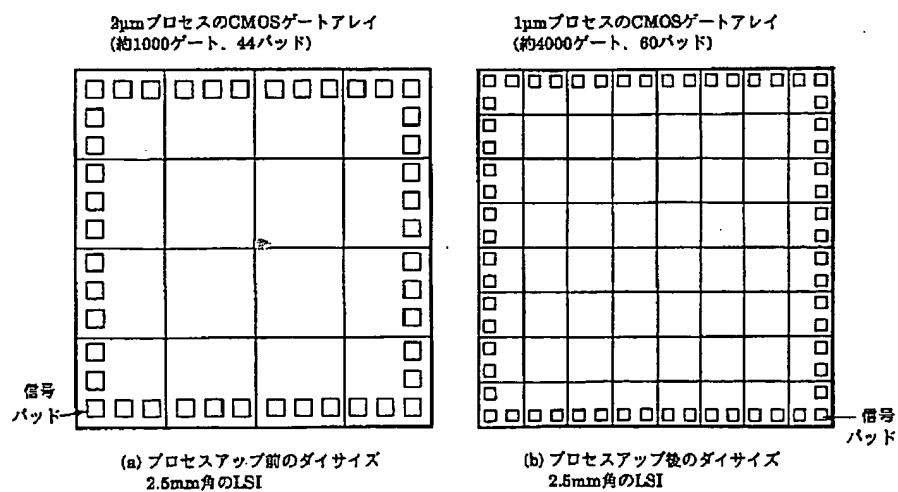
【図6】



(図2)

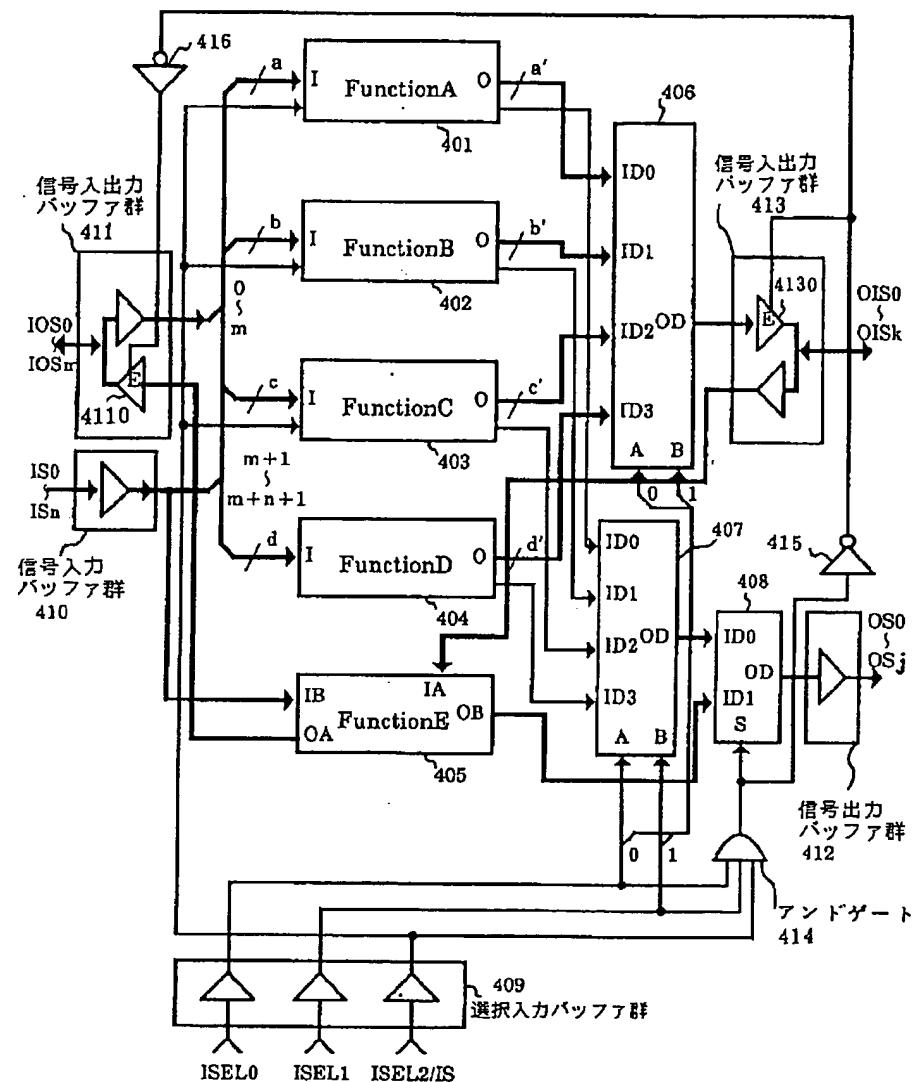


[図3]



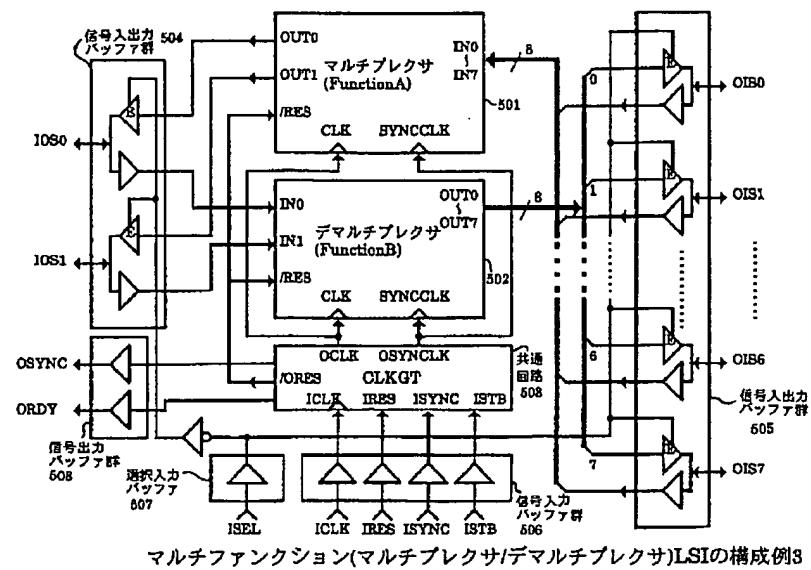
## LSI(CMOSゲートアレイ)の製造プロセスと回路実装可能規模/入出力パッド数との関係

[図4]



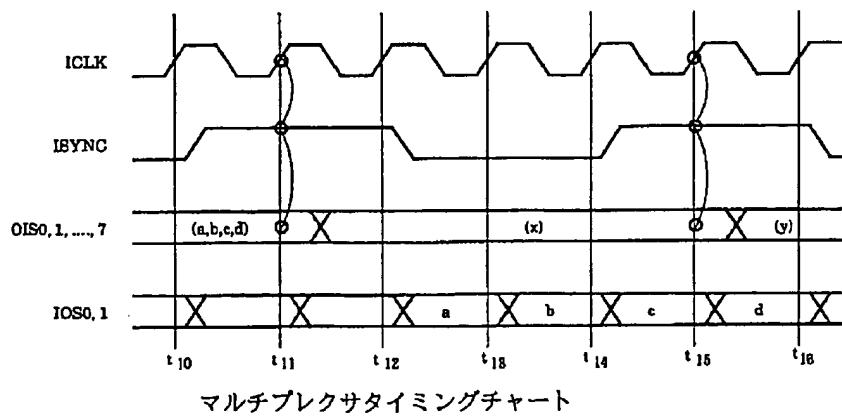
マルチファンクションLSIの回路実装例2

[图5]

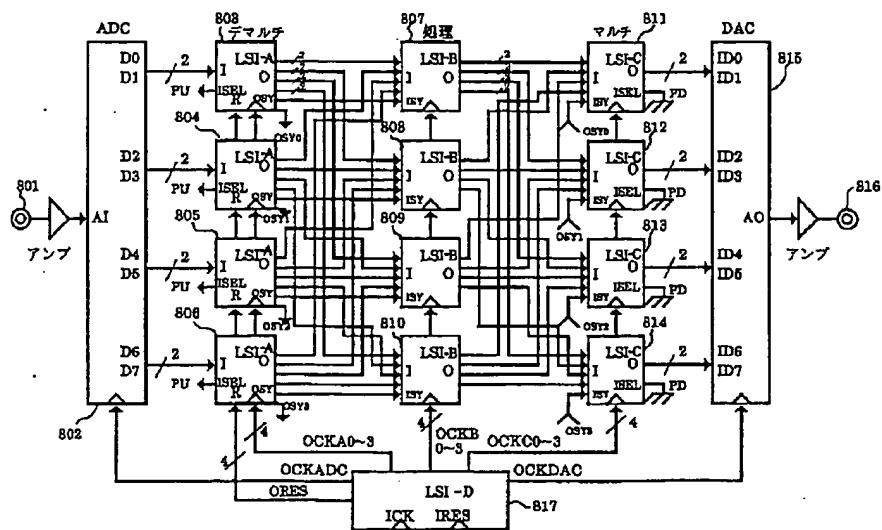


## マルチファンクション(マルチプレクサ/デマルチプレクサ)LSIの構成例3

[図7]

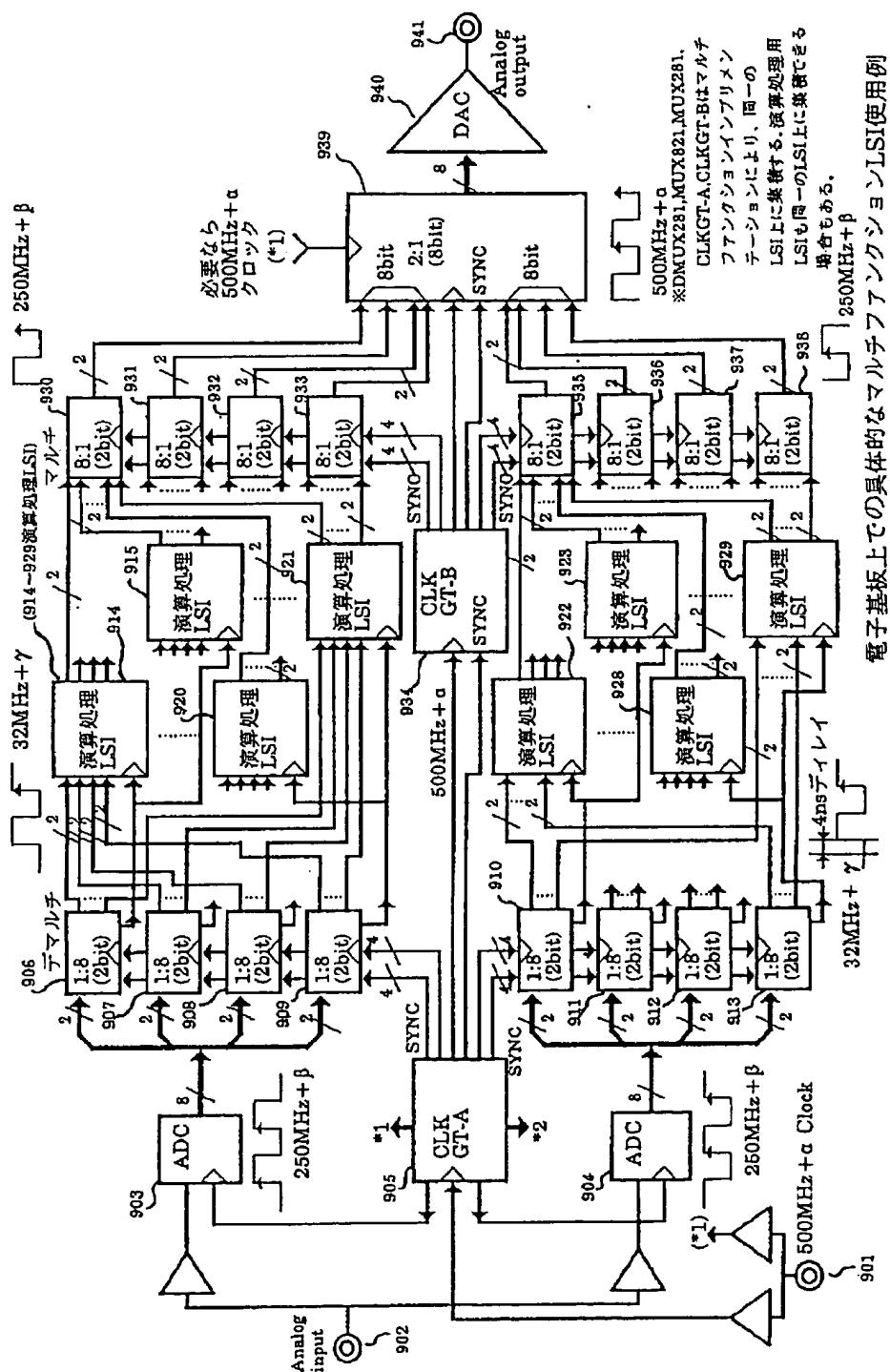


【図8】



マルチファンクションLSIを用いたシステム構成例

【図9】



電子基板上で具体的なマルチファンクションLSI使用例

フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 01 L 21/82

識別記号 庁内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**